

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237201

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

G06F 11/28

(21)Application number : 08-044776

(71)Applicant : YOKOGAWA DIGITAL COMPUTER KK.

(22)Date of filing : 01.03.1996

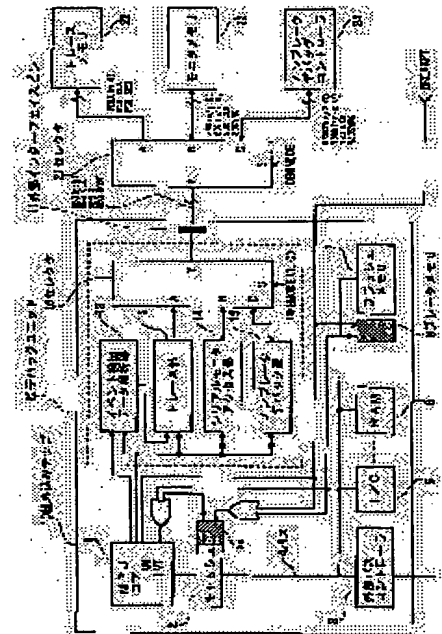
(72)Inventor : TAKAHASHI TAKESHI
SAKURAI KAZUAKI

(54) MICROCOMPUTER ANALYZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcomputer analyzer which can execute a data analysis mode while a PC trace mode is executed without increasing a private signal pin.

SOLUTION: This microcomputer analyzer debugs a target device. A trace means 12 for state analysis, which outputs the address value of an instruction which target MPU executes as PC trace information, an event detection data analysis means 13 supplying data information when an event which is previously decided as a detection object is generated to the trace means 12 are provided in an incorporated chip in the target device. The trace means 12 can switch a branch PC trace mode outputting the address value in spite of the presence or absence of the realization of a condition at the time of executing an absolute branch instruction or a condition branch instruction and a data analysis mode outputting data information when the event is generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the microcomputer analyzer which debugs target equipment. In the inclusion chip in target equipment, the tracing facility for the State analysis which outputs the address value of the instruction which Target MPU is executing as PC trace information is prepared. As this tracing facility With the full PC trace mode which outputs all address values, absolutely At the time of branch instruction activation It has the branching PC trace mode which outputs an address value irrespective of the existence of condition formation at the time of a conditional-branching instruction execution. Or as external mode of this branching PC trace mode The microcomputer analyzer characterized by having the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring.

[Claim 2] A trace means for the State analysis to be the microcomputer analyzer which debugs target equipment and to output the address value of the instruction which Target MPU is executing as PC trace information, An event detection data analysis means to supply the data information at the time of the event beforehand defined as a candidate for detection occurring to said trace means, It has in the inclusion chip in target equipment. Said trace means The branching PC trace mode which outputs an address value irrespective of the existence of condition formation absolutely at the time of branch instruction activation or a conditional-branching instruction execution, The microcomputer analyzer with which changing the data analysis mode which outputs data information at the time of event generating is characterized by being constituted possible.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the microcomputer analyzer which tailing of an effective address is carried out and can offer analysis exchange of a data system in the limited number of signal lines in more detail about the microcomputer analyzer as an analysis

exchange tool of the application device incorporating a microcomputer of operation.

[0002]

[Description of the Prior Art] MPU (henceforth Target MPU) in a target (testing device-ed) is accessed, and there is a microcomputer analyzer as equipment which debugs Target MPU. There is a thing as shown below as a function of this kind of common microcomputer analyzer.

[0003] ** When connecting a microcomputer analyzer to the emulation functional target of the target memory and changing some contents of the memory in a target, it is vicarious execution ***** at the memory in a microcomputer analyzer about the memory in a target. Usually, since the memory of a target is made of ROM, modification of a part of program etc. is difficult. Then, if the memory in a target is made to execute by proxy by the memory in a microcomputer analyzer, since RAM can be used as memory in a microcomputer analyzer, modification of a program etc. can be performed freely. Moreover, also when predetermined memory does not exist in a target, a program is included in the memory in a microcomputer analyzer, and the emulation of a target is made.

[0004] ** It is the same as that of the function of the logic analyzer of the history tracing facility former, and is the function which records the data on two or more steps of buses of the front and back from a trigger time. The cause of a failure can be diagnosed by analyzing the data on the pass of order when a failure occurs to equipment.

[0005] ** It is the function which suspends actuation of MPU of a target activation breaking functional target (breaking), and reads the contents of the various registers in MPU at the halt time etc. The cause of the failure of a target can be diagnosed.

[0006] Each of three above-mentioned functions was judged by the microcomputer analyzer side based on the signal which MPU outputs, and each function is realized. However, if a bus cycle is set to 30MHz or more, the conditional judgment which performs each function by the microcomputer analyzer side will become difficult.

[0007] When it states concretely, the time amount taken to judge whether it is the address which takes a break is 30 - 40 nanoseconds from an address effective point in time. Therefore, if the setup of MPU and the hold time are taken into consideration, and bus cycle 30MHz is exceeded, it will become impossible to supply a breaking instruction to the MPU side from a microcomputer analyzer side.

[0008] moreover — the case where MPU is a single chip — a microcomputer analyzer exchange sake — separately — the chip for evaluation — it is necessary to manufacture — chip makers, such as cost and a development schedule, and a user — it is a burden also for any.

[0009]

[Problem(s) to be Solved by the Invention] By the way, in this kind of microcomputer analyzer, a small number of exclusive signal pin is prepared in the microcomputer chip itself included in a target, and in order to hold the program address which the microcomputer is performing from that signal pin, especially program execution flow, the approach of outputting PC (program counter) value at the time of effective branch instruction activation is taken.

[0010] In this kind of microcomputer analyzer, the mode (PC trace mode) which distinguishes program flow from PC value, and the mode (data analysis mode) of the analysis exchange function of a data system were another.

[0011] ** Therefore, data analysis mode was not able to be performed to coincidence during activation of PC trace mode.

** Although it will be necessary to prepare the signal pin of both dedication in a microcomputer chip in order to perform to coincidence the mode which distinguishes program flow from PC value, and the mode of analysis exchange of a data system again, in high density and the microcomputer chip to integrate highly, the increment in a signal pin is difficult.

[0012] This invention is made in view of such a technical problem, and it aims at offering the microcomputer analyzer which can perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase.

[0013]

[Means for Solving the Problem] The 1st invention which solves the above mentioned technical problem is a microcomputer analyzer which debugs target equipment. In the inclusion chip in target equipment, the tracing facility for the State analysis which outputs the address value of the instruction which Target MPU is executing as PC trace information is prepared. As this tracing facility With the full PC trace mode which outputs all address values, absolutely At the time of branch instruction activation It has the branching PC trace mode which outputs an address value irrespective of the existence of condition formation at the time of a conditional-branching instruction execution. Or as external mode of this branching PC trace mode It is the microcomputer analyzer characterized by having the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring.

[0014] Moreover, the 2nd invention which solves the above mentioned technical problem A trace means for the State analysis to be the microcomputer analyzer which debugs target equipment and to output the address value of the instruction which Target MPU is executing as PC trace information; An event detection data analysis means to supply the data information at the time of the event beforehand defined as a candidate for detection occurring to said trace means, It has in the inclusion chip in target equipment. Said trace means The branching PC trace mode which outputs an address value irrespective of the existence of condition formation absolutely at the time of branch instruction activation or a conditional-branching instruction execution, Changing the data analysis mode which outputs data information at the time of event generating is the microcomputer analyzer characterized by being constituted possible.

[0015] In invention of these microcomputer analyzers, by having prepared the debugging unit which performs a part of function of a microcomputer analyzer in the inclusion chip (embedded chip) containing MPU in target equipment, the buffer used when exchanging data between target equipment and a microcomputer analyzer conventionally becomes unnecessary, and the data rate which can be treated part picking can be made quick. Furthermore, he is trying to have the full PC trace mode which outputs all address values, and the branching PC trace mode which outputs an address value irrespective of the existence of condition formation absolutely at the time of branch instruction activation or a conditional-branching instruction execution as a tracing facility. Even when high-speed MPU is a target by having had the branching PC trace mode which outputs an address value irrespective of the existence of condition formation absolutely especially at the time of branch instruction activation or a conditional-branching instruction execution, branch trace can be performed without analyzing syntax of a source program, and sufficient debugging can be performed.

[0016] And in the 1st invention, the microcomputer analyzer which can perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase can be offered by having had the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring as external mode of a branching PC trace mode.

[0017] Moreover, in the 2nd invention, since it is constituted possible that a trace means changes the branching PC trace mode which outputs an address value, and the data analysis mode which outputs data information at the time of event generating, the microcomputer analyzer which can perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase can be offered.

[0018]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the example of a gestalt of operation of this invention is explained to a detail. Drawing 1 is the functional block diagram showing the fundamental configuration of the example of a gestalt of operation of this invention.

[0019] <the configuration of a microcomputer analyzer> — in this drawing 1, the inclusion chip (it is also called an embeded chip) with which 10 is attached in target equipment, and 20 are debugging units

(it is also called the IDB unit) with the debugging function prepared in this inclusion chip 10. Although this debugging unit 20 is attached in the form of a chip in the inclusion chip 10, it constitutes the part. [0020] In said inclusion chip 10, 1 is a MPU core. In this MPU core 1, an NMI terminal is used for compulsive breaking (stop a MPU core) of a microcomputer analyzer function, and the breaking after activation. If this terminal is asserted (activation), it will move from the following bus cycle to exception handling. An INT terminal is an interruption input terminal and is used as front [activation] breaking. When the instruction with which this terminal was asserted goes into the activation queue of the pipeline of a MPU core, it shifts to exception handling, without executing this instruction. The instruction at the time of INT terminal assertion is assumed to be grinding or the thing which obtained to SWI (software interrupt).

[0021] The cache memory by which 2 is connected with the MPU core 1, and 2a are the breaking memory attached to cache memory 2. This breaking memory 2a is incorporated by the INT terminal of a MPU core together with the instruction of the address which the MPU core 1 fetches from cache memory 2.

[0022] The external bus controller by which 3 is connected with cache memory 2, the I/O device (I/O) by which 5 is connected with a bus 4, RAM by which 6 is connected with a bus 4, and 7 are flash memories (ROM in which read/write is possible) connected with a bus 4. This flash memory 7 is ROM for supporting the mask ROM built in in target equipment. Access of this flash memory 7 has become possible by the program of the monitor memory under breaking (after-mentioned).

[0023] 8 is breaking memory and has the size of 1 bit \times n. Here, n is given by the degree type.

$$n = (\text{number of bits of ROM}) / (\text{the minimum order bit length})$$

For example, by 256-bit ROM, when the minimum instruction of a MPU core is 8 bit length, it is set to $n = 256/8 = 32$. Therefore, the capacity of the breaking memory 8 at this time becomes 32 bits.

[0024] Moreover, the breaking memory 8 is arranged on the same memory map as a flash memory 7, and is loaded to breaking memory 2a of the INT terminal of the MPU core 1, or cache memory 2 synchronizing with the lead of the data of a flash memory 7. A setup (make it 1 from 0) of the breaking memory 8 is set up during breaking by asserting the break point (BREAKPT) terminal 9 to breaking setting address access and coincidence by the monitor memory program.

[0025] Next, the configuration of the debugging unit 20 is explained. It connects with the address bus of the MPU core 1, a data bus, and a status signal, and this debugging unit 20 has the interface pin 11 with the inclusion chip 10 exterior. A microcomputer analyzer occupies this external-interface pin 11. About the number of this pin, the optimal number can be set up now by the MPU core 1 or the application application. In addition, n can consider the case of 1, 3, 5, 7, 15, 31, and 63. Thus, by taking the configuration connected with a microcomputer analyzer through an external-interface pin, the optimal number can be set up by the MPU core 1 or the application application, and it is convenient. Here, the case of $n = 15$ of DBG ($n:0$) explains (bus width of face is shown.). ($n:0$) It is below the same.

[0026] The trace section outputted as the address of the instruction which is performing under target run later mentioned in 12, The event detection data analysis section equipped with the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection generating 13, The serial monitor access section in which 14 performs access INTAFEISU of the MPU core 1 and monitor memory under breaking, 15 is the nonbreak debugging-section which controls initialization of the microcomputer analyzer resource in a chip, data modification of the specific target memory, and the monitoring facility of the specific target memory. It can carry out without stopping a target run from a microcomputer analyzer side. And these trace section 12, the serial monitor access section 14, and the nonbreak debugging section 15 are connected with the MPU core 1. 16 is the INTAFEISU selector of the debugging unit 20, and selects the functional block 12, 14, and 15 decided in the mode. A DBGMODE (1:0) signal is inputted into this selector 16 as a select signal.

[0027] 21 is the selector connected with the debugging unit 20 through the external-interface pin 11, and selects the microcomputer analyzer resource decided in the mode. A DBGMODE (1:0) signal is

inputted into this selector 21 as a select signal. As a signal exchanged between a selector 16 and a selector 21, there are DBG (n:0), DBGCLK (clock signal), DBGS, and DBGMODE (1:0).

[0028] The debugging unit 20 can recognize now any of three functions of trace, serial monitor access, and nonbreak debugging are connected with the external-interface pin 11 by mode signal DBGMODE (1:0).

[0029] Moreover, also in the exterior of the inclusion chip 10, a selector 21 connects the signal pin of the external-interface pin 11 to one block of the trace memory 22 which corresponds to the present mode by mode signal DBGMODE (1:0), the monitor memory 23, and the nonbreak debugging controller 24. And the signal of the trace section 12 goes into the trace memory 22, the output of the monitor memory 23 goes into the MPU core 1 through the serial monitor access section 14, and the output of the nonbreak debugging controller 24 goes into the MPU core 1 through the nonbreak debugging section 15.

[0030] It will be as follows if actuation of the equipment of the gestalt of the operation constituted as mentioned above is explained. The example of a gestalt of this operation has the description in the point of having carried the debugging unit 20 which performs a part of microcomputer analyzer function in the inclusion chip 10 in a user's target equipment.

[0031] This debugging unit 20 shall possess the microcomputer analyzer function of extent which does not become a user's burden. In the conventional microcomputer analyzer, the configuration which incorporates from the body of a microcomputer analyzer and accesses a chip was taken. Therefore, components, such as the buffer gate, needed to be used between them and the rate of a clock of operation was restrained by about several 10MHz by the stray capacity which exists between the delay during I/O of a component, and a wire length.

[0032] Then, it enables it to extend the clock of operation which makes the buffer gate etc. unnecessary, consequently can be used to about 100MHz by carrying the function of a microcomputer analyzer in a user's inclusion chip 10 in the example of a gestalt of this operation.

[0033] Moreover, in the example of a gestalt of this operation, it is characterized also by considering as the configuration which can perform branch trace as trace which the trace section performs, without analyzing syntax of a source program.

[0034] And in the example of a gestalt of this operation, it is characterized [greatest] by the ability to perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase by having had the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring as external mode of a branching PC trace mode.

[0035] With reference to drawing 1, the moving function (fundamental actuation) of a microcomputer analyzer at large is explained below <fundamental actuation of a microcomputer analyzer>. And data analysis mode which is the description part is explained after whole explanation of operation.

[0036] As for the external-interface pin 11 of drawing 1, each function is selected by the contents of DBGMODE (1:0) of Table 1 - 3. That is, it is in transformer State mode at monitor access mode and the time of DBGMODE=11 at NBD (nonbreak debugging) mode and the time of DBGMODE=10 at trace PC mode and the time of DBGMODE=01 at the time of DBGMODE=00. In addition, target mode, monitor access mode, and transformer State mode are trace PC modes, and NBD mode is monitor mode. Either of NBD mode is accessible.

[0037]

[Table 1]

信号名	定 義																		
DBGMODE	<p>IDBインタフェース信号のモード/ステータス定義信号。 DBGMODE0はICE側からエバチップへ伝達されるモード遷移要求信号である。 DBGMODE1はエバチップからICE側へ伝達されるモード遷移(出力)ステータス信号である。</p> <table border="1"> <thead> <tr> <th colspan="2">DBGMODE</th><th rowspan="2">Definition</th></tr> <tr> <th>DBGMODE1 (IN)</th><th>DBGMODE0 (IN)</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TRACE PCモード DBG[n:0]信号からはヒストリトレース用の実行アドレスが出力される。</td></tr> <tr> <td>0</td><td>1</td><td>NBDモード NBG[n:0]信号はIDB内のRAMモニタ、ダイナミックチューナ及び各種のIDB制御用レジスタのアクセスに利用される。</td></tr> <tr> <td>1</td><td>0</td><td>モニタアクセスモード DBG[n:0]信号はターゲットマイコンがエバチップ外におかれたモニタメモリをアクセスするために利用される。</td></tr> <tr> <td>1</td><td>1</td><td>NBDモード ←→ モニタアクセスモードへの遷移過度状態である。本モード中は直前のモードの動作が継続されその動作完了後に状態遷移が発生する。</td></tr> </tbody> </table>		DBGMODE		Definition	DBGMODE1 (IN)	DBGMODE0 (IN)	0	0	TRACE PCモード DBG[n:0]信号からはヒストリトレース用の実行アドレスが出力される。	0	1	NBDモード NBG[n:0]信号はIDB内のRAMモニタ、ダイナミックチューナ及び各種のIDB制御用レジスタのアクセスに利用される。	1	0	モニタアクセスモード DBG[n:0]信号はターゲットマイコンがエバチップ外におかれたモニタメモリをアクセスするために利用される。	1	1	NBDモード ←→ モニタアクセスモードへの遷移過度状態である。本モード中は直前のモードの動作が継続されその動作完了後に状態遷移が発生する。
DBGMODE		Definition																	
DBGMODE1 (IN)	DBGMODE0 (IN)																		
0	0	TRACE PCモード DBG[n:0]信号からはヒストリトレース用の実行アドレスが出力される。																	
0	1	NBDモード NBG[n:0]信号はIDB内のRAMモニタ、ダイナミックチューナ及び各種のIDB制御用レジスタのアクセスに利用される。																	
1	0	モニタアクセスモード DBG[n:0]信号はターゲットマイコンがエバチップ外におかれたモニタメモリをアクセスするために利用される。																	
1	1	NBDモード ←→ モニタアクセスモードへの遷移過度状態である。本モード中は直前のモードの動作が継続されその動作完了後に状態遷移が発生する。																	

[0038]

[Table 2]

DBG[n:0]	<p>TRACE、NBD、MONの3モード中、次表のように定義される。 <TRACE PC MODE> フルトレースモード、ブランチトレースモードの2モードが定義される。 [フルトレースモード] PCHA[n:0]には、エバチップ中から出力される実行アドレス(実行ステージに入った命令のおかれていたメモリアドレス)又はその関連情報が出力される。 信号の幅(n)は、プログラムカウンタの幅と一致させることが望ましいが、必ず実行アドレスの再生成ができるものであればより小さいビット幅に定義してもよい。 <例> ブランチ実行時2クロック、その他のシーケンシャルアクセス時1クロック実行をするようなマイコンで、DBGS信号よりそのシーケンシャル実行が確実に伝達できるマイコンでは、$n = (\text{プログラムカウンタ幅} / 2)$と定義し、シーケンシャル実行時は、エバチップ外部で実行アドレスの再生成をしてもよい。 [ブランチトレースモード] ブランチトレースモードでは、ブランチ、ジャンプ、割り込みなどプログラム上の分岐点実行時のみそのブランチ先の実行アドレスを出力する。 ブランチPCデータをシリアルに取り出すことでDBG信号幅を小さくすることができ、あるPC値の出力中に発生する分岐実行に関しては、そのPC値の出力は行われない。(ブランチPC情報は欠落する場合がある。) [データ解析モード] データ解析モードは、ブランチトレースモードの外部(AUX)モードとして設けられ、DBG MODEに移行することなくTRACE PC MODE内でデータ解析を行う。 <DBG MODE> NBDO、NBDIは、エバチップ内部のIDB内レジスタ(RAMモニタ、ダイナミックチューナ、各種IDB制御レジスタ)アクセス用の出力、入力バスとして利用される。IDB内レジスタアクセスは、ターゲットマイコンの動作に無関係に実行可能とする。NBDバスのビット幅は標準を8ビットに定義する。 オプションで16ビット他も可能とする。 <MONITOR MODE> このモードではターゲットマイコンがブレイク処理を実行するためのモニタプログラムをSDO、SDIを介してアクセスする。 ユーザメモリ空間の一部を(ユーザアクセス禁止とし)借りきり、この領域にモニタメモリ空間を配置するフロントエンド方法を推奨する。 NBD MODE、MONITOR MODEのプロトコルは別に定義する。</p>
----------	--

[0039]

[Table 3]

DBGCLK	次の3通りに定義される。 <TRACE PC MODE> PCHCLOCK (出力) 実行アドレスのヒストリトレース用サンプルクロック。 PCHA[n:0]信号が無意味なサイクルにおいては、エバチップ内で PCHCLOCKの発生を禁止する必要がある。 <NBD MODE> NBDCLOCK (入力) NBDモードにおけるNBDDO、NBDDI信号のストローブ信号 ターゲットマイコンのスピードに関係なく低速の信号が利用できる。 <MONITOR MODE> SDCLK (入力) オフチップモニタメモリアクセス用SDO、SDI信号のストローブ信号。 本モードでもSDCLKは、ターゲットマイコンのスピードに関係なく低速の 信号が利用できる。
DBGS	次の3通りに定義される。 <TRACE PC MODE> [フルトレースモード] PCHSEQ (出力) 実行アドレスがシーケンシャルに推移していることを示すステータス信号 (出 力)。 PCHA[n:0]と併用して、オフチップで実行アドレスの再生成をするために 利用する。 PCHA[n:0]、PCHSEQ信号により必ず実行アドレスが再生成できる場 合に限りPCHAのビット幅nをプログラムカウンタの幅よりも小さい値に定 義できる。 [ブランチトレースモード] PCHSYNC PCHAシリアル出力情報の転送における同期信号。 一番初めのデータサイクルでアサートされる。 <NBD MODE> NBDSYNC (入力) NBDDO、NBDDIを使ったシリアル入出力データ転送における同期信号 として、エバチップに入力する。 <MONITOR MODE> SDSYNC (出力) SDO、SDI信号を使った (シリアル) モニタメモリアクセスにおける同期 信号としてエバチップより出力される。
DBGEVNT [m:0]	TRACE PC MODE、NBD MODEにおけるIDB内データ (バ ス) アクセスイベント検出器の検出出力。(デコード出力) DBGEVNTのビット幅は1、2、4、8ビットの選択ができる。 MONITOR MODEにおいては、この信号線は未定義信号線となる。

[0040] here — transition of mode signal DBGMODE (1:0) — a case — dividing — carrying out — explaining .

DBGMODE (0): Chip input signal. It is used for the demand of NBD(nonbreak debugging) MODE to the MPU core 1. 1 shows under a demand and NBD actuation.

[0041] DBGMODE (1): Chip output signal. It is shown that 1 is under breaking (serial monitor access mode). It is shown that 0 is [target] under run. At this time, the MPU core 1 is during target memory access. The debugging unit 20 is PC trace or NBD mode.

[0042] And the following table 4 shows the definition of mode signal DBGMODE (1:0), a debugging unit (IDB) function, and the external-interface pin 11.

[0043]

[Table 4]

外部 インターフェース	ターゲットモード		モニタモード		
	トレース PC モード	NDBGモード	モニタ アクセスモード	トランス スレーブモード	NDBGモード
DBG[n:0]	PCHA[n:0]	NBDDO[n/2:0] NBDDI[n/2:0]	SDD[n/2:0] SDI[2/n:0]	*1	NBDDO[7:0] NBDDI[7:0]
DBGCLK	PCHCLK(OUT)	NBDCCLK(IN)	SDCLK(IN)	*1	NBDCCLK(IN)
DBGS	PCHSEQ(OUT)	NBDSYNC(IN)	SDSYNC(OUT)	*1	NBDSYNC(IN)
DBG MODE[1:0]	(MODE 00)	(MODE 01)	(MODE 10)	(MODE 11)	(MODE 01)
DBG EVNT[m:0]	EVNT[m:0]	EVNT[m:0]	UD	*1	EVNT[3:0]
/DBGREQ	/NMIREQ	/NMIREQ	/BKPTD	*1	/NMIREQ
/RESETI	/RESETI	/RESETI	/RESETI	/RESETI	/RESETI
/RESETO	/RESETO	/RESETO	/RESETO	/RESETO	/RESETO

*1 TRAN STATE MODEにおけるこれらの信号は、直前のモードで定義される信号の意味をもつ。

MODE 01

→ターゲットマイコンへの遷移要求入力
→ターゲットマイコンからの出力ステータス

[0044] <Detail actuation of a microcomputer analyzer> (1) PC tracing facility: First, explain basic PC tracing facility at large, next explain the data analysis mode as external mode of full PC trace, branch PC trace, and also branch PC trace to a detail.

[0045] During a target run (DBGMODE=00), PC tracing facility carries out time sharing of the address of the instruction under activation of the MPU core 1 from the trace section 12, and outputs it to the external-interface pin 11 through a selector 16. In the chip exterior, a selector 21 connects with the trace memory 22, and the signal of the external-interface pin 11 is sampled by the trace memory 22 under control of a PCH clock and PCHSEQ.

[0046] The contents of an output of PC trace are outputted by time sharing from an address high order. The example of an output is explained below.

** In the case of the number of signal lines of address width-of-face ≤DBG (n:0) of the MPU core 1 : output all the addresses to coincidence synchronizing with the bus cycle of MPU.

[0047] ** In the case of the number of signal lines of address width-of-face >DBG (n:0) of the MPU core 1 : by branching of a program etc., when the address of the MPU core 1 is not sequential, output an upper address, and when sequential, output a lower address. Drawing 2 and drawing 3 are timing diagrams which show the output timing in trace PC mode. The case where the address width of face of drawing 3 of the MPU core 1 is 16 bits and DBG (7:0) about the case where the address width of face of drawing 2 of the MPU core 1 is 32 bits and DBG (15:0) is shown, respectively.

[0048] the address with which, as for N-SEQ, the MPU core 1 outputs the contents from which the contents to which PCH (15:0) is outputted by IDB in the output address of the MPU core 1 are written to A (31:0) in SUB (31:0) by the trace memory 22 in drawing 2 — non — the case where the address with which, as for SEQ, MPU outputs the case of being sequential (when there being program branching etc.) is sequential is shown, respectively. nOPC shows the signal with which the MPU core 1 leads a program on "0" level, respectively. the address with which, as for N-SEQ, the MPU core 1 outputs the contents from which the contents to which PCH (7:0) is outputted from the debugging unit 20 in the output address of the MPU core 1 are written to A (15:0) in SUB (15:0) by the trace memory 22 in drawing 3 — non, the case where the address with which, as for SEQ, the MPU core 1 outputs the case of being sequential is shown, respectively. In the case of drawing 3, all the addresses are memorized by memory.

[0049] ** When it cannot be defined as the number which needs the number of signal lines of DBG (n:0) to perform address output of the MPU core 1 : output only the address which program branching of the MPU core 1 generated in this case. When the following branch address occurs during a branch-address output, it enables it to identify in the chip exterior by negating a PCHSEQ signal (deactivation) and performing a new branch-address output. Drawing 4 and drawing 5 are timing diagrams which show the

timing in the trace PC mode at this time of operation. The case where the address width of face of drawing 5 of the MPU core 1 is 16 bits and DBG (3:0) about the case where the address width of face of drawing 4 of the MPU core 1 is 16 bits and DBG (3:0) is shown, respectively. the case of drawing 4 — the case of drawing 3 — differing — branching — the address — non, only a branch address is memorized by memory when it becomes sequential.

[0050] Next, each is explained to a detail about the full PC trace and branch PC trace which are the description part of the example of a gestalt of this operation. In addition, the full PC trace mode which outputs total PC value to a microcomputer analyzer side, and the branch PC trace which outputs the following PC value irrespective of conditions only when branch instruction is executed are defined as PC trace mode. Thus, it is the big description in the example of a gestalt of this operation to have a full PC trace mode and a branch PC trace mode.

[0051] The comparison listing of the branch PC trace mode which serves as the description part in the example of a gestalt of this operation here is carried out about the description with a full PC trace mode. Following Table 5 summarizes the difference between full PC trace and branch PC trace in a table.

[0052]

[Table 5]

	フルPCトレース	ブランチPCトレース
DBG幅	ターゲットMPUのアドレス幅又はその半分 (全PC値を転送できるDBG幅を規定する)	4, 8, 16ビットのいずれか
メリット	①PC値をイベント対象として利用できる ②ICE側でシーケンシャルトリガ等の多様なイベント条件として利用できる	①小さなDBG幅でPCトレースが得られる ②より低いサンプル性能でトレースが得られる
デメリット	DBGピン数が多くなる	多様なイベントがかけられない
用途	①エバチップを定義できるマイコン用 ②シングルチップマイコン用	①最終チップ=エバチップと定義するマイコン用 ②マイクロプロセッサ用

[0053] Generally, as a microcomputer analyzer of a single chip microcomputer, since history trace of a built-in data access is needed, exclusive EBACHIPPU will be defined. In this case, the full PC trace mode which can support a powerful event function etc. is used.

[0054] Moreover, as a microcomputer analyzer for microprocessors, it can be defined as last chip = EBACHIPPU. In this case, a branch PC trace mode is used.

[0055] (2) PC trace format : here explains PC trace data format in full PC trace and branch PC trace.

[0056] It is a synchronizing signal at the time of a PCHS:PC history output. It is shown that DBGn (most significant bit side) is PC history status signal (PCS). 4 bits is secured from a high order as a PCS.

[0057] DBG (n:0) :P It is the transfer bus of CHA information and a PCS signal.

Full PC trace (1): (2-A1) The microcomputer which performs branch activation by the two cycle to drawing 6 is made into an example, and the timing diagram of full PC trace is shown. In addition, it thinks

in this case also including the microcomputer which performs 1 cycle activation at the time of two-cycle activation and branch knot TEIKUN at the time of branch TEIKUN.

[0058] ** The bit width of face of DGBn can be defined as one half of the numbers of address lines.

** At the time of PCHS negation, PCHAL (the Low side address information) which shows that it is in the mode which sends out a two cycle or the **** full address from CPU to a microcomputer analyzer by a branch etc. is outputted previously, and HCHAH is succeedingly outputted to it.

[0059] ** It is shown at the time of PCHS assertion that program execution is performed sequentially. PCS (PC history status signal) is outputted to the microcomputer analyzer from CPU at the high order bit of DBGn. PCHAL information is outputted to bits other than PCS from CPU at a microcomputer analyzer.

[0060] ** The effective data PCHA0 at the time of sequential activation - PCHAL It is PCHAL+1 when overflowed. The PURISETTA bull counter which it has by the microcomputer analyzer side from the above address for address regeneration is carried out +one.

[0061] ** PCHA is outputted from a lower-address side.

The definition about the PCS information in above is shown in the following table 6.

[0062]

[Table 6]

フルPCトレース時のPCS情報

PCS	定 義
PCS3	PCHA情報の有効(1), 無効(0)を示す
PCS2	予備
PCS1	予備
PCS0	予備

[0063] (2-A2) Full PC trace (2):, next the microcomputer which performs branch activation in 1 cycle to drawing 7 are made into an example, and the timing diagram of full PC trace is shown.

[0064] ** Make the bit width of face of DGBn in agreement with the number of address lines.

** It is shown at the time of PCHS assertion that program execution is performed sequentially. PCS (PC history status signal) is outputted to the microcomputer analyzer from CPU at the high order bit of DBGn. PCHAL information is outputted to bits other than PCS from CPU at a microcomputer analyzer.

[0065] Branch PC trace (1): (2-B1) Output PCHA information to a microcomputer analyzer from CPU absolutely irrespective of branch TEIKUN or branch knot TEIKUN at the time of a branching instruction execution at the time of branch instruction (conditional-branching instruction) activation.

[0066] Here, the limited DBG signal defines branch PC trace as technique for obtaining PC trace. Here, with reference to drawing 8, the principle of the branch PC trace in the example of a gestalt of this operation is explained briefly.

[0067] After an analysis start point, three conditional branching BCC, BNE, and BLE which is not branching by any means exists. In this case, it is determined in these three conditional branching whether branch according to the contents of the register. Therefore, in which conditional branching it actually branched (branch) cannot judge easily. Then, in all these three conditional branching, it constitutes so that PC value may be outputted to a microcomputer analyzer side at the time of condition formation (branch TEIKUN) and condition failure (branch knot TEIKUN) in the case of conditional branching. And PC value is outputted also in ** which is an actual branching place.

[0068] Thus, he can trace and understand the movement toward a program only by branch PC address output from an analysis start point with outputting PC value in all the conditional branching, and it becomes possible to judge branching [with which instruction to have branched] origin.

[0069] Therefore, the activity which judges a branching agency from a context by syntax analysis of a

source program becomes unnecessary. Moreover, also when a source program does not exist, it becomes possible to analyze conditional branching correctly.

[0070] Hereafter, with reference to the timing diagram of drawing 9, actuation of branch PC trace is explained according to following ** - **.

** Prepare a setup of the following options in the bit width of face of DBGn.

[0071] - Define it as 4-bit DBGn as 2 bits, 4 bits, and a 8 bit ** criterion.

** At the time of PCHS assertion, PCS (PC history status signal) is outputted to a microcomputer analyzer from CPU at the high order bit of DBGn. PCS defines a criterion as 4 bits. Hereafter, a definition is shown as Table 7 about this PCS.

[0072]

[Table 7]

ブランチ PC トレース時の PCS 情報

PCS	定 義
PCS3	(PCS3,2) 10: PCHA情報の有効な転送開始を示す (割込み以外によるブランチ出力)
PCS2	11: PCHA情報の有効な転送開始を示す (割込みによるブランチ出力) 00: PCHA情報の無効な転送 01: AUX
PCS1	<~32ビットアドレスマイコン> 引き続く PCHA情報が8ビット×k (kはPCS1, PCS0で示されるバイナリ値)で あることを示す。
PCS0	<64ビットアドレスマイコン> 別途定義する。

[0073] in addition, PCS1 in Table 7 PCS0 ***** — the compaction output mode which outputs the address below the bit of the branch PC value to which the branch PC trace output was outputted last time, and an inequality is defined. This compaction output mode is shown with the conventional mode (drawing 10 (b)) in drawing 10 (a). That is, by 10000, the first branch PC value outputs only 10 of low order as second branch PC value at the time of compaction output mode, when the second branch PC value is 10010. Therefore, according to PC value which changed as compared with the conventional 32-bit full output, PC value (PCHA signal) changes with 2 and 4 or 8 bits.

[0074] In the upper table 7, only the address length who shows that it is PC output in that compaction output mode, and is shown in this bit is outputted as a branch PC trace value except PCS1 and PCS0 = 11.

[0075] PCHA (LL) which is row address information is outputted to bits other than PCS from CPU at a microcomputer analyzer. The condition (invalid sample condition) that branch PC trace information is not outputted is shown by PCHS assertion and PCS 3 = 0. At the time of a new branch PC trace output, the output of branch PC trace is started by PCS=1. When DBG width of face is 2 bits, two-cycle ***** assertion of the PCHS is carried out, and it is shown that PCS is outputted to both cycles in order. Namely, PCS0 and PCS1 It is outputted in the 1st cycle.

[0076] ** At the time of PCHS negation, it is shown from the PCHS assertion to precede that it is among the output cycle of **** branch PC information. Branch PC trace information is outputted to PCHA.

[0077] ** As for PCHA, a lower-address side is outputted.

** To the new branch PC trace demand generated during a PCHA output, carry out the urinal stall of the target CPU temporarily until the branch PC information under output becomes output termination. New branch PC information is succeedingly outputted after the output of the branch PC information to precede.

[0078] As shown in this ** - **, since it becomes [PCHA signal:2 / PCHS signal:4 / PCHCLK:1] by having sent out only the part below the branch PC value which changed as a PCHA signal in a minimum

case, it comes to end with six signal lines and one clock signal line. Therefore, as shown also in Table 5, it has the advantage that PC trace is obtained by small DBG width of face.

[0079] (2-B) Branch PC trace (data analysis) : when the event beforehand defined as a candidate for detection occurs as external mode of an above-mentioned branching PC trace mode, output data information.

[0080] Namely, in the above-mentioned table 7, PCS3 and PCS 2 = 01 are defined as AUX (external mode), and the data analysis mode as external mode of branch PC trace is started in this condition.

[0081] Here, the limited DBG signal defines the data analysis mode as external mode of branch PC trace as technique for obtaining data trace. Here, with reference to drawing 11, the principle of the data analysis in the example of a gestalt of this operation is explained briefly.

[0082] Drawing 11 is the principal part block diagram in which having extracted the part related to data analysis mode from drawing 1, and having shown the detail. In this drawing 11, the event detection data analysis section 13 consists of event detecting-element 13A and data latch 13B for trace B.

[0083] And event detector 13A is referring to an address bus, and detects with the address generating of the event beforehand defined as a candidate for detection. Moreover, in response to the detection result of event detector 13A, data latch 13B for trace latches the data information on the data bus in the case of event generating, and supplies this data information to the trace section 12. Moreover, it is constituted possible that the trace section 12 changes the branching PC trace mode which outputs an address value, and the data analysis mode which outputs data information at the time of event generating.

[0084] In addition, what is necessary is just to have an equivalent function (event detection and data analysis), without restricting to the configuration shown here as the event detection data analysis section 13. Actuation of the data analysis in such a configuration is explained with reference to the flow chart of drawing 12.

[0085] First, the address (data-access address) which the event used as the candidate for detection generates is specified as event detector 13A (drawing 12 S1). And when data analysis mode is specified, event detector 13A supervises access to the address which the event used as the candidate for detection generates with reference to an address bus (drawing 12 S2 and S3). When access to the specified address is detected, an event detection result is supplied to data latch 13B for trace (drawing 12 S3).

[0086] Data latch 13B for trace which received the event detection result samples the data on the data bus in that case (drawing 12 S4), and supplies them to the trace section 12 by making the sampled data into data information. The trace section 12 outputs data information in the form of predetermined with time sharing on DBG (drawing 12 S5).

[0087] In addition, the data output format from the trace section 12 in this case is shown in drawing 13. In drawing 9 branch PC trace, the data history format in this case should apply correspondingly.

[0088] Thus, it becomes possible to perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase by having had the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring as external mode of a branching PC trace mode.

[0089] In addition, in the above-mentioned explanation which referred to drawing 11, although it was the case where single event detection was performed, it becomes possible to detect two or more events by preparing event detector 13A and two or more sets of data latch 13B for trace.

[0090] For example, as PCS information in the case of performing data analysis using 2 sets of event detectors (No.1, No.2), as shown in Table 8, it is PCS1. PCS0 It is also possible to distinguish an event detector.

[0091]

[Table 8]

PCS	定義		
PCS3	01: IDB上のイベント検出器の一致による転送開始を示す		
PCS2			
PCS1	PCS1	PCS0	
	0	0	イベント検出器NO.1検出による転送の開始
	0	1	イベント検出器NO.2検出による転送の開始
PCS0	1	0	AUX
	1	1	AUX

[0092] Moreover, the access cutting tool judging machine is formed in event detector 13A, it is the coincidence conditions of the contents of an event setting shown in Table 9, and it is also possible for the sample of the data (a cutting tool's data specified by SIZ of the address and Table 9) of only the cutting tool of data latch 13B for trace concerned to be made to be carried out.

[0093]

[Table 9]

アクセスバイトとデータ出力表

SIZ2	SIZ1	SIZ0	データサンプル数	DBGよりの出力バイト数
0	0	0	1バイト (8ビット)	1バイト (8ビット)
0	0	1	2バイト (16ビット)	2バイト (16ビット)
0	1	0	4バイト (32ビット)	4バイト (32ビット)
0	1	1	AUX	AUX
1	0	0	0バイト *3	0バイト *3
1	1	1	CPU側からアクセスされた当該バイト *1	nバイト *2

- *1: ターゲットCPUがアクセスした当該バイトのデータだけが更新される。
非当該バイトデータは不定値が入る。
*2: *1で更新(サンプル)されたバイトを含む当該マイコンの最大バス幅分のデータが出力される。
例) 32ビットマイコン→4バイト
16ビットマイコン→2バイト
8ビットマイコン→1バイト
*3: PCS情報だけがDBG信号線に出力され、データ出力は行われない。

[0094] Moreover, it is also possible to specify the trace information (history trace data) acquired on a DBG output by the setups of the event address space of the event detector for "PC (program counter)" and "data space", as shown in Table 10.

[0095]

[Table 10]

イベント検出器の設定とトレース情報

イベントアドレス指定	ヒストリトレースデータ
データ空間	アドレス: ドントケア・アドレス情報(*1) データ: 表9, 図1.2に示すDBGよりの出力バイト数
PC空間	表9に示すSIZ: 100のフォーマット

- *1) イベント検出器に対してアドレス・パターン設定が行われている場合に、ドントケア指定されている部分のアドレス情報のみを出力

[0096] Here, the example of a data history output in the case where considered as an address pattern setup of 4 bit boss TOKEA of address low order event detector No.1, and a data measurement size setup is made into 2 bytes (SIZ<2:0>= (0, 0, 1)) is shown in drawing 14. In addition, in here, it is shown that PCS<3:2>= (0 1) is a data history output in event detection with data analysis mode, and PCS<1:0>= (0 0) shows event detector number No.1.

[0097] It is made to start history data output at the time of the above event coincidence detection under the following algorithms.

- When PC history information under output carries out output termination at the time of an event hit, the history output of an event hit factor is performed by top priority.
- According to an event hit factor, the new PC information (branch PC information) generated during a history output is withdrawn in advance like the time of new PC information generating under PC information output, and it is not outputted for informational output conclusion priority.

According to the example of a gestalt of above-mentioned operation, the following effectiveness is acquired as explained to the detail more than effectiveness: obtained according to the gestalt of judgment (3) implementation.

[0098] ** With constituting in two or more conditional branching of all, so that PC value may be outputted to a microcomputer analyzer side at the time of condition formation (branch TEIKUN) and condition failure (branch knot TEIKUN) in the case of conditional branching. Also when two or more conditional branching as which it is determined whether it branches according to the contents of the register exists, he can trace and understand the movement toward a program and it becomes possible to judge branching: [with which instruction to have branched] origin. Therefore, the activity which judges a branching agency from a context by syntax analysis of a source program becomes unnecessary. Moreover, also when a source program does not exist, it becomes possible to analyze conditional branching correctly.

[0099] ** When outputting PC value, PC trace comes to be obtained by small DBG width of face by having sent out only the part below the branch PC value which changed as a PCHA signal.

[0100] ** Since the debugging unit which performs a part of function of a microcomputer analyzer is prepared in the inclusion chip (embedded chip) containing MPU in target equipment, the buffer used when exchanging data between target equipment and a microcomputer analyzer conventionally becomes unnecessary, and the data rate which can be treated part picking can be made quick.

[0101] ** And it becomes possible to perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase by having had the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring as external mode of a branching PC trace mode.

[0102]

[Effect of the Invention] As mentioned above, as explained to the detail, in the 1st invention, the microcomputer analyzer which can perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase can be offered by having had the data analysis mode which outputs the data information at the time of the event beforehand defined as a candidate for detection occurring as external mode of a branching PC trace mode.

[0103] Moreover, in the 2nd invention, since it is constituted possible that a trace means changes the branching PC trace mode which outputs an address value, and the data analysis mode which outputs data information at the time of event generating, the microcomputer analyzer which can perform data analysis mode during PC trace mode activation, without making the signal pin of dedication increase can be offered.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the microcomputer analyzer of the example of a gestalt of operation of this invention.

[Drawing 2] It is the timing diagram which shows the output timing in trace PC mode.

[Drawing 3] It is the timing diagram which shows the output timing in trace PC mode.

[Drawing 4] It is the timing diagram which shows the output timing in trace PC mode.

[Drawing 5] It is the timing diagram which shows the output timing in trace PC mode.

[Drawing 6] It is the timing diagram which shows the output timing in full trace PC mode.

[Drawing 7] It is the timing diagram which shows the output timing in full trace PC mode.

[Drawing 8] It is the explanatory view showing theoretic actuation in branch trace PC mode.

[Drawing 9] It is the timing diagram which shows the output timing in branch trace PC mode.

[Drawing 10] It is the explanatory view showing the example of an output in branch trace PC mode.

[Drawing 11] It is the principal part block diagram having shown the detail of the part related to data analysis mode.

[Drawing 12] It is the flow chart which shows the procedure in data analysis mode.

[Drawing 13] It is the timing diagram which shows the output format and output timing in data analysis mode.

[Drawing 14] It is the timing diagram shown with the example of event generating about the output format and output timing in data analysis mode.

[Description of Notations]

1 MPU Core

2 Cache

2a Breaking memory

3 External Bus Controller

4 Bus

5 I/O Device

6 RAM

7 Flash Memory

8 Breaking Memory

9 Break Point Terminal

10 Inclusion Chip

11 External-Interface Pin

12 Trace Section

13 Event Detection Data Analysis Section

14 Serial Monitor Access Section

15 Nonbreak Debugging Section

16 Selector

21 Selector

22 Trace Memory

23 Monitor Memory

24 Nonbreak Debugging Controller

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237201

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl.⁶

G 0 6 F 11/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 11/28

技術表示箇所

3 1 0 E

審査請求 未請求 請求項の数 2 O L (全 18 頁)

(21) 出願番号 特願平8-44776

(22) 出願日 平成8年(1996)3月1日

(71) 出願人 591076110

横河ディジタルコンピュータ株式会社
東京都千代田区三番町8番地7

(72) 発明者 高橋 毅

東京都千代田区三番町8番地7 横河ディ
ジタルコンピュータ株式会社内

(72) 発明者 桜井 和明

東京都千代田区三番町8番地7 横河ディ
ジタルコンピュータ株式会社内

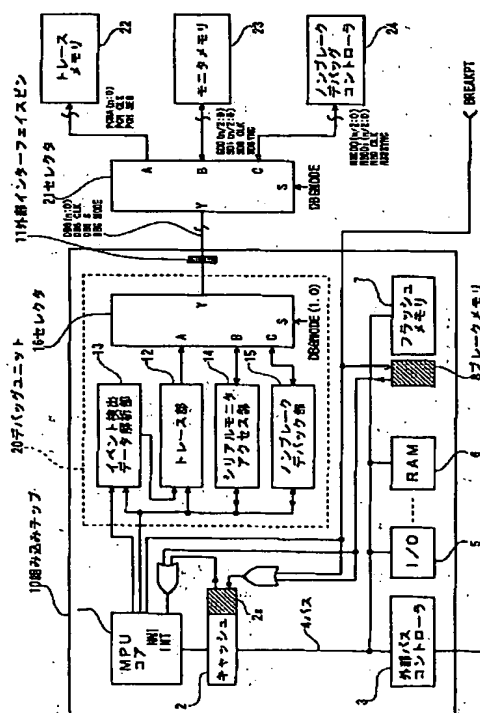
(74) 代理人 弁理士 渡辺 正康 (外1名)

(54) 【発明の名称】 マイクロコンピュータアナライザ

(57) 【要約】

【課題】 専用の信号ピンを増加させずにP Cトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供する。

【解決手段】 ターゲット装置のデバッグを行なうマイクロコンピュータアナライザであって、ターゲットMP Uが実行している命令のアドレス値をP Cトレース情報として出力するステート解析用のトレース手段12と、予め検出対象として定められたイベントが発生した際のデータ情報を前記トレース手段に対して供給するイベント検出データ解析手段13と、をターゲット装置内に組み込みチップ内に有し、前記トレース手段は、絶対分岐命令実行時若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐P Cトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されたことを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 ターゲット装置のデバッグを行なうマイクロコンピュータアナライザであって、ターゲット装置内にある組み込みチップ内に、ターゲットMPUが実行している命令のアドレス値をPCトレース情報として出力するステート解析用のトレース機能を設け、

このトレース機能として、全てのアドレス値を出力するフルPCトレースモードと、絶対分岐命令実行時、若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードを備え、この分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことを特徴とするマイクロコンピュータアナライザ。

【請求項2】 ターゲット装置のデバッグを行なうマイクロコンピュータアナライザであって、ターゲットMPUが実行している命令のアドレス値をPCトレース情報として出力するステート解析用のトレース手段と、

予め検出対象として定められたイベントが発生した際のデータ情報を前記トレース手段に対して供給するイベント検出データ解析手段と、をターゲット装置内にある組み込みチップ内に有し、

前記トレース手段は、絶対分岐命令実行時若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されたことを特徴とするマイクロコンピュータアナライザ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明はマイクロコンピュータを組み込んだ応用機器の動作解析支援ツールとしてのマイクロコンピュータアナライザに関し、更に詳しくは、限られた信号線数において実行アドレスの追尾やデータ系の解析支援をすることが可能なマイクロコンピュータアナライザに関する。

【0002】

【従来の技術】 ターゲット（被試験装置）内のMPU（以下、ターゲットMPUと言う）にアクセスし、ターゲットMPUのデバッグを行なう装置としてマイクロコンピュータアナライザがある。この種の一般的なマイクロコンピュータアナライザの機能としては、以下に示すようなものがある。

【0003】 ①ターゲットメモリのエミュレーション機能

ターゲットにマイクロコンピュータアナライザを接続し、ターゲット内のメモリの内容の一部を変更する場合、ターゲット内のメモリをマイクロコンピュータアナ

2

ライザ内のメモリで代行せざる。通常、ターゲットのメモリはROMでできているので、プログラムの一部の変更等は困難である。そこで、ターゲット内のメモリをマイクロコンピュータアナライザ内のメモリで代行せれば、マイクロコンピュータアナライザ内のメモリとしてはRAMを用いることができるので、プログラムの変更等が自由にできる。また、所定のメモリがターゲット内に存在しない時にも、マイクロコンピュータアナライザ内のメモリにプログラムを組み込んでターゲットのエミュレーションができる。

【0004】 ②ヒストリトレース機能

従来のロジックアナライザの機能と同様のものであり、トリガ時点から前方及び後方の複数段階のバス上のデータを記録する機能である。装置に障害が発生した時の、前後のバス上のデータを解析することにより、障害の原因を診断することができる。

【0005】 ③ターゲット実行ブレイク機能

ターゲットのMPUの動作を停止（ブレイク）し、その停止時点のMPU内の各種レジスタ等の内容を読み出す機能である。ターゲットの障害の原因を診断することができる。

【0006】 上記3つの機能は、いずれもMPUの出力する信号を基にマイクロコンピュータアナライザ側で判断し、各機能を実現している。しかしながら、バスサイクルが30MHz以上になると、マイクロコンピュータアナライザ側で各機能を行なう条件判断が困難になる。

【0007】 具体的に述べると、ブレイクするアドレスか否かを判断するのに要する時間は、アドレス有効時点から30～40ナノ秒である。従って、MPUのセットアップ、ホールド時間を考慮すると、バスサイクル30MHzを越えるとブレイク命令をマイクロコンピュータアナライザ側からMPU側に供給することが不可能になってしまう。

【0008】 また、MPUがシングルチップの場合には、マイクロコンピュータアナライザ支援のために別途評価用チップを製作する必要があり、コスト、開発日程等、チップメカ、ユーザいずれにとっても負担になっている。

【0009】

【発明が解決しようとする課題】 ところで、この種のマイクロコンピュータアナライザでは、ターゲットに組み込むマイコンチップそのものに少数の専用信号ピンを設けて、その信号ピンからマイコンが実行しているプログラムアドレス、特にプログラムの実行流れをつかむために有効な分岐命令実行時のPC（プログラムカウンタ）値を出力する方法がとられている。

【0010】 この種のマイクロコンピュータアナライザでは、PC値からプログラム流れを判別するモード（PCトレースモード）と、データ系の解析支援機能のモード（データ解析モード）とは別になっていた。

(3)

3

【0011】①従って、PCトレースモードの実行中において、データ解析モードを同時に行うことはできなかった。

②また、PC値からプログラム流れを判別するモードと、データ系の解析支援のモードとを同時に実行するためには両方の専用の信号ピンをマイコンチップに設ける必要が生じるが、高密度、高集積化するマイコンチップにおいて信号ピンの増加は困難である。

【0012】本発明はこのような課題に鑑みてなされたものであって、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供することを目的としている。

【0013】

【課題を解決するための手段】前記した課題を解決する第1の発明は、ターゲット装置のデバッグを行なうマイクロコンピュータアナライザであって、ターゲット装置内にある組み込みチップ内に、ターゲットMPUが実行している命令のアドレス値をPCトレース情報として出力するステート解析用のトレース機能を設け、このトレース機能として、全てのアドレス値を出力するフルPCトレースモードと、絶対分岐命令実行時、若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードを備え、この分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことを特徴とするマイクロコンピュータアナライザである。

【0014】また、前記した課題を解決する第2の発明は、ターゲット装置のデバッグを行なうマイクロコンピュータアナライザであって、ターゲットMPUが実行している命令のアドレス値をPCトレース情報として出力するステート解析用のトレース手段と、予め検出対象として定められたイベントが発生した際のデータ情報を前記トレース手段に対して供給するイベント検出データ解析手段と、をターゲット装置内にある組み込みチップ内に有し、前記トレース手段は、絶対分岐命令実行時若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されたことを特徴とするマイクロコンピュータアナライザである。

【0015】これらのマイクロコンピュータアナライザの発明においては、ターゲット装置内のMPUを含む組み込みチップ（エンベデッドチップ）内に、マイクロコンピュータアナライザの機能の一部を実行するデバッグユニットを設けていることにより、従来ターゲット装置とマイクロコンピュータアナライザ間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り扱えるデータ速度を速くすることができる。更

4

に、トレース機能として、全てのアドレス値を出力するフルPCトレースモードと、絶対分岐命令実行時、若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードとを備えるようにしている。特に、絶対分岐命令実行時、若しくは条件分岐命令実行時に条件成立の有無に係わらずアドレス値を出力する分岐PCトレースモードを備えたことにより、高速のMPUがターゲットである場合でも、ソースプログラムの構文解析を行うことなくブランチトレースを行って、十分なデバッグを行なうことができるようになる。

【0016】そして、第1の発明においては、分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことにより、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供することができる。

【0017】また、第2の発明においては、トレース手段が、アドレス値を出力する分岐PCトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されているため、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供することができる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を詳細に説明する。図1は本発明の実施の形態例の基本的構成を示す機能ブロック図である。

【0019】＜マイクロコンピュータアナライザの構成＞この図1において、10はターゲット装置内に取り付けられる組み込みチップ（エンベデッドチップともいう）、20はこの組み込みチップ10内に設けられたデバッグ機能を持つデバッグユニット（IDBユニットともいう）である。このデバッグユニット20は、組み込みチップ10内にチップの形で取り付けられるものの一部分を構成している。

【0020】前記組み込みチップ10において、1はMPUコアである。このMPUコア1において、NMI端子はマイクロコンピュータアナライザ機能の強制ブレーク（MPUコアを停止させること）及び実行後ブレークに使用するものである。この端子がアサート（活性化）されると、次のバスサイクルから例外処理に移るようになっている。INT端子は、割り込み入力端子で、実行前ブレークとして使用するものである。この端子がアサートされた命令がMPUコアのパイプラインの実行キューに入った時、この命令を実行せずに例外処理に移行するようになっている。INT端子アサート時の命令をSWI（ソフトウェアインタラプト）にすりかえたものと仮定する。

(4)

5

【0021】2はMPUコア1と接続されるキャッシュメモリ、2aはキャッシュメモリ2に付属するブ레이크メモリである。このブ레이크メモリ2aは、MPUコア1がキャッシュメモリ2からフェッチするアドレスの命令と一緒にMPUコアのINT端子に取り込まれるようになっている。

【0022】3はキャッシュメモリ2と接続される外部バスコントローラ、5はバス4と接続される入出力装置(I/O)、6はバス4と接続されるRAM、7はバス4と接続されるフラッシュメモリ(リード/ライト可能なROM)である。このフラッシュメモリ7は、ターゲット装置内に内蔵されるマスクROMをサポートするためのROMである。このフラッシュメモリ7は、ブ레이크中のモニタメモリ(後述)のプログラムによりアクセスができるようになっている。

【0023】8はブ레이크メモリで、1ビット×nのサイズを持っている。ここで、nは次式で与えられる。

$$n = (\text{ROMのビット数}) \div (\text{最小命令ビット長})$$
 例えば、256ビットのROMで、MPUコアの最小命令が8ビット長の時、 $n = 256 \div 8 = 32$ となる。従って、この時のブ레이크メモリ8の容量は32ビットになる。

【0024】また、ブ레이크メモリ8はフラッシュメモリ7と同じメモリマップ上に配置され、フラッシュメモリ7のデータのリードと同期してMPUコア1のINT端子もしくはキャッシュメモリ2のブ레이크メモリ2aにロードされるようになっている。ブ레이크メモリ8の設定(0から1にすること)は、ブ레이크中に、モニタメモリプログラムによりブ레이크設定アドレスアクセスと同時にブ레이크ポイント(BREAKPT)端子9をアサートすることにより設定するようになっている。

【0025】次に、デバッグユニット20の構成について説明する。このデバッグユニット20はMPUコア1のアドレスバス、データバス及びステータス信号と接続され、組み込みチップ10外部とのインタフェースピン11を持っている。この外部インタフェースピン11は、マイクロコンピュータアナライザが占有するようになっている。このピンの本数については、MPUコア1やアプリケーション用途により最適な本数を設定することができるようになっている。なお、nは1, 3, 5, 7, 15, 31, 63のケースが考えられる。このように、外部インタフェースピンを介してマイクロコンピュータアナライザと接続する構成をとることにより、MPUコア1やアプリケーション用途により最適な本数を設定することができ、都合がよい。ここではDBG(n:0)のn=15のケースで説明する((n:0)はバス幅を示す。以下同じ)。

【0026】12はターゲットラン中の実行している命令のアドレスを後述するように出力するトレース部、13は予め検出対象として定めたイベントが発生した際の

6

データ情報を出力するデータ解析モードを備えたイベント検出データ解析部、14はブ레이크中におけるMPUコア1とモニタメモリのアクセスインターフェイスを行なうシリアルモニタアクセス部、15はチップ内マイクロコンピュータアナライザリソースの初期設定、特定ターゲットメモリのデータ変更及び特定ターゲットメモリのモニタ機能の制御を行なうノンブ레이크デバッグ部で、マイクロコンピュータアナライザ側からターゲットランを止めることなく行なうことができるようになっている。そして、これらトレース部12、シリアルモニタアクセス部14及びノンブ레이크デバッグ部15はMPUコア1と接続されている。16は、デバッグユニット20のインターフェイスセクタで、モードで決められた機能ブロック12, 14, 15を選択するようになっている。このセクタ16にはセレクト信号として、DBGMODE(1:0)信号が入力される。

【0027】21は外部インタフェースピン11を介してデバッグユニット20と接続されるセクタで、モードで決められたマイクロコンピュータアナライザリソースを選択するものである。このセクタ21には、セレクト信号としてDBGMODE(1:0)信号が入力される。セクタ16とセクタ21間でやりとりされる信号としては、DBG(n:0), DBGCLK(クロック信号), DBGS, DBGMODE(1:0)がある。

【0028】デバッグユニット20は、モード信号DBGMODE(1:0)により、トレース、シリアルモニタアクセス、ノンブ레이크デバッグの3つの機能のいずれが外部インタフェースピン11と接続されているかを認識できるようになっている。

【0029】また、組み込みチップ10の外部においても、セクタ21は、モード信号DBGMODE(1:0)により現行モードに該当するトレースメモリ22, モニタメモリ23, ノンブ레이크デバッグコントローラ24のいずれかのブロックに外部インタフェースピン11の信号ピンを接続する。そして、トレース部12の信号は、トレースメモリ22に入り、モニタメモリ23の出力はシリアルモニタアクセス部14を介してMPUコア1に入り、ノンブ레이크デバッグコントローラ24の出力はノンブ레이크デバッグ部15を介してMPUコア1に入る。

【0030】以上のように構成された実施の形態の装置の動作を説明すれば、以下のとおりである。本実施の形態例は、ユーザのターゲット装置内にある組み込みチップ10内にマイクロコンピュータアナライザ機能の一部を行なうデバッグユニット20を搭載した点に特徴がある。

【0031】このデバッグユニット20は、ユーザの負担にならない程度のマイクロコンピュータアナライザ機能を具備するものとする。従来のマイクロコンピュータ

50

(5)

7

アナライザでは、マイクロコンピュータアナライザ本体から組み込みチップにアクセスする構成をとっていた。従って、その間にバッファゲート等の素子を用いる必要があり、素子の入出力間の遅延、配線長間に存在する漂遊容量等で動作クロックの速度が数10MHz程度に制約されていた。

【0032】そこで、本実施の形態例では、マイクロコンピュータアナライザの機能をユーザの組み込みチップ10内に搭載することにより、バッファゲート等を不要にし、この結果、使用できる動作クロックを100MHz程度まで延ばすことができるようにしたものである。

【0033】また、本実施の形態例では、トレース部が実行するトレースとして、ソースプログラムの構文解析を行うことなくブランチトレースを行える構成としたことも特徴としている。

【0034】そして、本実施の形態例では、分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことにより、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モ * 20

8

*ードを実行できることを最大の特徴としている。

【0035】＜マイクロコンピュータアナライザの基本的動作＞以下、図1を参照してマイクロコンピュータアナライザの動作機能の全般（基本的動作）について説明する。そして、全般の動作説明の後に、特徴部分であるデータ解析モードの説明を行う。

【0036】図1の外部インタフェースピン11は、表1～表3のDBGMODE(1:0)の内容により各機能がセレクトされる。つまり、DBGMODE=00の時トレースPCモード、DBGMODE=01の時NBD(ノンブレイクデバッグ)モード、DBGMODE=10の時モニタアクセスモード、DBGMODE=11の時トランスステートモードである。なお、トレースPCモード、NBDモードはターゲットモード、モニタアクセスモード、トランスステートモードはモニタモードである。NBDモードは、いずれでもアクセス可能である。

【0037】

【表1】

信号名	定 義	
DBGMODE	IDBインタフェース信号のモード/ステータス定義信号。DBGMODE0はICE側からエバチップへ伝達されるモード遷移要求信号である。DBGMODE1はエバチップからICE側へ伝達されるモード遷移(出力)ステータス信号である。	
	DBGMODE1 (IN)	DBGMODE0 (IN)
	0	0
	0	1
	1	0
	1	1
Definition		
TRACE PCモード DBG[n:0]信号からはヒストリトレース用の実行アドレスが出力される。		
NBDモード NBG[n:0]信号はIDB内のRAMモニタ、ダイナミックチューナ及び各種のIDB制御用レジスタのアクセスに利用される。		
モニタアクセスモード DBG[n:0]信号はターゲットマイコンがエバチップ外におかれたモニタメモリをアクセスするために利用される。		
NBDモード ↔ モニタアクセスモードへの遷移過度状態である。本モード中は直前のモードの動作が継続されその動作完了後に状態遷移が発生する。		

【0038】

【表2】

(6)

9

10

DBG[n:0]	<p>TRACE、NBD、MONの3モード中、次表のように定義される。</p> <p><TRACE PC MODE></p> <p>フルトレースモード、ブランチトレースモードの2モードが定義される。</p> <p>【フルトレースモード】</p> <p>PCHA[n:0]には、エバチップ中から出力される実行アドレス（実行ステージに入った命令のおかれていたメモリアドレス）又はその関連情報が出力される。</p> <p>信号の幅(n)は、プログラムカウンタの幅と一致させることが望ましいが、必ず実行アドレスの再生成ができるものであればより小さいビット幅に定義してもよい。</p> <p><例></p> <p>ブランチ実行時2クロック、その他のシーケンシャルアクセス時1クロック実行をするようなマイコンで、DBG S信号よりそのシーケンシャル実行が確実に伝達できるマイコンでは、$n = (\text{プログラムカウンタ幅} / 2)$と定義し、シーケンシャル実行時は、エバチップ外部で実行アドレスの再生成をしてもよい。</p> <p>【ブランチトレースモード】</p> <p>ブランチトレースモードでは、ブランチ、ジャンプ、割り込みなどプログラム上の分岐点実行時のみそのブランチ先の実行アドレスを出力する。ブランチPCデータをシリアルに取り出すことでDBG信号幅を小さくすることができ、あるPC値の出力中に発生する分岐実行に関しては、そのPC値の出力は行われない。（ブランチPC情報は欠落する場合がある。）</p> <p>【データ解析モード】</p> <p>データ解析モードは、ブランチトレースモードの外部（AUX）モードとして設けられ、DBG MODEに移行することなくTRACE PC MODE内でデータ解析を行う。</p> <p><DBG MODE></p> <p>NBD0、NBD1は、エバチップ内部のIDB内レジスタ（RAMモニタ、ダイナミックチューナ、各種IDB制御レジスタ）アクセス用の出力、入力バスとして利用される。IDB内レジスタアクセスは、ターゲットマイコンの動作と無関係に実行可能とする。NBDバスのビット幅は標準を8ビットに定義する。</p> <p>オプションで16ビット他も可能とする。</p> <p><MONITOR MODE></p> <p>このモードではターゲットマイコンがブレーク処理を実行するためのモニタプログラムをSDO、SDIを介してアクセスする。</p> <p>ユーザメモリ空間の一部を（ユーザアクセス禁止とし）借りきり、この領域にモニタメモリ空間を配置するフロントエンド方法を推奨する。</p> <p>NBD MODE、MONITOR MODEのプロトコルは別に定義する。</p>
----------	---

【0039】

【表3】

DBGCLK	次の3通りに定義される。 <TRACE PC MODE> PCHCLOCK (出力) 実行アドレスのヒストリトレース用サンプルクロック。 PCHA[n:0]信号が無意味なサイクルにおいては、エバチップ内で PCHCLOCKの発生を禁止する必要がある。 <NBD MODE> NBDCLK (入力) NBDモードにおけるNBDDO、NBDDI信号のストロブ信号 ターゲットマイコンのスピードに関係なく低速の信号が利用できる。 <MONITOR MODE> SDCLK (入力) オフチップモニタメモリアクセス用SDO、SDI信号のストロブ信号。 本モードでもSDCLKは、ターゲットマイコンのスピードに関係なく低速の 信号が利用できる。
DBGS	次の3通りに定義される。 <TRACE PC MODE> [フルトレースモード] PCHSEQ (出力) 実行アドレスがシーケンシャルに推移していることを示すステータス信号 (出 力)。 PCHA[n:0]と併用して、オフチップで実行アドレスの再生成をするために 利用する。 PCHA[n:0]、PCHSEQ信号により必ず実行アドレスが再生成できる場 合に限りPCHAのビット幅nをプログラムカウンタの幅よりも小さい値に定 義できる。 [フランチトレースモード] PCHSYNC PCHAシリアル出力情報の転送における同期信号。 一番初めのデータサイクルでアサートされる。 <NBD MODE> NBDSYNC (入力) NBDDO、NBDDIを使ったシリアル入出力データ転送における同期信号 として、エバチップに入力する。 <MONITOR MODE> SDSYNC (出力) SDO、SDI信号を使った (シリアル) モニタメモリアクセスにおける同期 信号としてエバチップより出力される。
DBGVNT [m:0]	TRACE PC MODE、NBD MODEにおけるIDB内データ (バ ス) アクセスイベント検出器の検出出力。(デコード出力) DBGVNTのビット幅は1、2、4、8ビットの選択ができる。 MONITOR MODEにおいては、この信号線は未定義信号線となる。

【0040】ここで、モード信号DBGMODE (1 : 0) の遷移について、場合分けして説明する。

DBGMODE (0) : チップ入力信号。MPUコア1
に対してNBD (ノンブレイクデバッグ) MODEの要
求に使用する。1で要求中及びNBD動作中を示す。

【0041】DBGMODE (1) : チップ出力信号。
1はブレイク中であることを示す (シリアルモニタク
セスモード)。0はターゲットラン中であることを示
す。この時、MPUコア1はターゲットメモリアクセス

中。デバッグユニット20はPCトレースかNBDモー
ド。

【0042】そして、以下の表4はモード信号DBGM
ODE (1 : 0) とデバッグユニット (IDB) 機能及
び外部インタフェースピン11の定義を示すものであ
る。

【0043】

【表4】

(8)

外部 インタフェースピン	ターゲットモード		モニタモード		
	トレース PC モード	NDBEモード	モニタ アクトモード	トランス スレーブモード	NDBEモード
DBG[n:0]	PCHA[n:0]	NBDDO[n/2:0] NBDDI[n/2:0]	SDO[n/2:0] SDI[2/n:0]	*1	NBDDO[7:0] NBDDI[7:0]
DBGCLK	PCHCLK(OUT)	NBCLK(IN)	SDCLK(IN)	*1	NBCLK(IN)
DBGS	PCHSEQ(OUT)	NBDSYNC(IN)	SDSYNC(OUT)	*1	NBDSYNC(IN)
DBG MODE[1:0]	(MODE 00)	(MODE 01)	(MODE 10)	(MODE 11)	(MODE 01)
DBG EVNT[m:0]	EVNT[m:0]	EVNT[m:0]	UD	*1	EVNT[3:0]
/DBGREQ	/NMIREQ	/NMIREQ	/BKPTO	*1	/NMIREQ
/RESETI	/RESETI	/RESETI	/RESETI	/RESETI	/RESETI
/RESETO	/RESETO	/RESETO	/RESETO	/RESETO	/RESETO

*1 TRAN STATE MODEにおけるこれらの信号は、直前のモードで定義される信号の意味をもつ。

MODE 01
 ↳ターゲットマイコンへの遷移要求入力
 ↳ターゲットマイコンからの出力データ

【0044】<マイクロコンピュータアナライザの詳細動作>

(1) PCトレース機能：まず、基本となるPCトレース機能の全般について説明し、次に、フルPCトレースとブランチPCトレース、更にブランチPCトレースの外部モードとしてのデータ解析モードとについて、詳細に説明する。

【0045】PCトレース機能は、ターゲットラン中 (DBGMODE=00) に、トレース部12からMPUコア1の実行中の命令のアドレスを時分割してセクタ16を介して外部インタフェースピン1.1に出力する。チップ外部では、外部インタフェースピン1.1の信号は、セクタ21によりトレースメモリ22に接続され、PCHクロック、PCHSEQの制御の下にトレースメモリ22にサンプリングされる。

【0046】PCトレースの出力内容は、アドレス上位から時分割で出力する。以下に出力例を説明する。

①MPUコア1のアドレス幅≤DBG (n:0) の信号線数の場合：MPUのバスサイクルと同期して全アドレスを同時に出力する。

【0047】②MPUコア1のアドレス幅>DBG (n:0) の信号線数の場合：プログラムの分岐等でMPUコア1のアドレスがシーケンシャルでない時は、上位アドレスを出力し、シーケンシャルの場合は下位アドレスを出力する。図2、図3はトレースPCモードの出力タイミングを示すタイムチャートである。図2はMPUコア1のアドレス幅が32ビット、DBG (15:0) の場合を、図3はMPUコア1のアドレス幅が16ビット、DBG (7:0) の場合をそれぞれ示している。

【0048】図2において、A (31:0) はMPUコア1の出力アドレスを、PCH (15:0) はIDBより出力される内容を、SUB (31:0) はトレースメモリ22に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャル (プログ

ラム分岐がある場合等) の場合を、SEQはMPUの出力するアドレスがシーケンシャルの場合をそれぞれ示している。nOPCは“0”レベルでMPUコア1がプログラムをリードする信号をそれぞれ示している。図3において、A (15:0) はMPUコア1の出力アドレスを、PCH (7:0) はデバッグユニット20より出力される内容を、SUB (15:0) はトレースメモリ22に書き込まれる内容を、N-SEQはMPUコア1の出力するアドレスがノンシーケンシャルの場合を、SEQはMPUコア1の出力するアドレスがシーケンシャルの場合をそれぞれ示している。図3の場合には、アドレスの全てがメモリに記憶される。

【0049】③DBG (n:0) の信号線数がMPUコア1のアドレス出力を行なうのに必要な数に定義できない場合：この場合には、MPUコア1のプログラム分岐が発生したアドレスのみ出力する。分岐アドレス出力中に次の分岐アドレスが発生した場合、PCHSEQ信号をネゲート (非活性化) して、新しい分岐アドレス出力を行なうことでチップ外部で識別できるようにする。図4、図5はこの時のトレースPCモードの動作タイミングを示すタイムチャートである。図4は、MPUコア1のアドレス幅が16ビット、DBG (3:0) の場合を、図5はMPUコア1のアドレス幅が16ビット、DBG (3:0) の場合をそれぞれ示している。図4の場合には、図3の場合と異なり、分岐によりアドレスがノンシーケンシャルになった場合、分岐アドレスのみメモリに記憶される。

【0050】次に、本実施の形態例の特徴部分であるフルPCトレースとブランチPCトレースとについて、それぞれを詳細に説明する。尚、PCトレースモードには、全PC値をマイクロコンピュータアナライザ側へ出力するフルPCトレースモードと、ブランチ命令を実行したときのみ条件にかかわらず次のPC値を出力するブランチPCトレースとを定義する。このように、フルPCトレースモードとブランチPCトレースモードとを

(9)

15

有することが本実施の形態例における大きな特徴である。

【0051】ここで、本実施の形態例における特徴部分となるブランチPCTレースモードをフルPCTレースモードと共に特徴について比較列記する。以下の表5は*

16

*フルPCTレースとブランチPCTレースとの相違点を表にまとめたものである。

【0052】

【表5】

	フルPCTレース	ブランチPCTレース
DBG幅	ターゲットMPUのアドレス幅又はその半分 (全PC値を転送できるDBG幅を規定する)	4, 8, 16ビットのいずれか
メリット	①PC値をイベント対象として利用できる ②ICE側でシーケンシャルトリガ等の多様なイベント条件として利用できる	①小さなDBG幅でPCTレースが得られる ②より低いサンプリング性能でPCTレースが得られる
デメリット	DBGピン数が増える	多様なイベントがかけられない
用途	①エバチップを定義できるマイコン用 ②シングルチップマイコン用	①最終チップ=エバチップと定義するマイコン用 ②マイクロプロセッサ用

【0053】一般に、シングルチップマイコンのマイクロコンピュータアナライザとしては、内蔵データアクセスのヒストリトレースを必要とするため、専用エバチップを定義することになる。この場合は、強力なイベント機能等を支援できるフルPCTレースモードを使用する。

【0054】また、マイクロプロセッサ用のマイクロコンピュータアナライザとしては、最終チップ=エバチップと定義できる。この場合には、ブランチPCTレースモードを使用する。

【0055】(2) PCTレースフォーマット：ここで、フルPCTレースとブランチPCTレースとにおけるPCTレースデータフォーマットを説明する。

【0056】PCHS：PCヒストリ出力時の同期信号である。DBG_n（最上位ビット側）がPCヒストリステータス信号（PCS）であることを示す。上位より4ビットをPCSとして確保する。

【0057】DBG（n：0）：PCHA情報及びPCS信号の転送バスである。

（2-A1）フルPCTレース（1）：図6にブランチ実行を2サイクルで実行するマイコンを例にして、フルPCTレースのタイムチャートを示す。尚、この場合には、ブランチテイクンのときに2サイクル実行、ブラン

チノットテイクンのとき1サイクル実行を行うマイコンも含めて考える。

【0058】①DGB_nのビット幅は、アドレスライン数の1/2に定義できる。

②PCHSネゲート時には、ブランチ等により、CPUからマイクロコンピュータアナライザに対して、2サイクルかけてフルアドレスを送出するモードにあることを示すPCHAL（Low側アドレス情報）が先に出力され、引き続きHCHAHが出力される。

【0059】③PCHSアサート時は、プログラム実行がシーケンシャルに行なわれていることを示す。DBG_nの上位ビットにはPCS（PCヒストリステータス信号）がCPUからマイクロコンピュータアナライザに出力されている。PCS以外のビットには、PCHAL情報がCPUからマイクロコンピュータアナライザに出力される。

【0060】④シーケンシャル実行時の有効データPCHA₀～PCHALがオーバフローした時点で、PCHAL+1以上のアドレスからマイクロコンピュータアナライザ側でアドレス再生成のためにもつプリセッタブルカウンタを+1する。

【0061】⑤PCHAは低位アドレス側から出力される。

(10)

17

以上の場合のPCS情報についての定義を以下の表6に示す。

【0062】

【表6】

フルPCトレース時のPCS情報

PCS	定 義
PCS3	PCHA情報の有効(1), 無効(0)を示す
PCS2	予備
PCS1	予備
PCS0	予備

【0063】(2-A2).フルPCトレース(2):次に、図7にブランチ実行を1サイクルで実行するマイコンを例にして、フルPCトレースのタイムチャートを示す。

【0064】①DBGnのビット幅は、アドレスライン数と一致させる。

②PCHSアサート時は、プログラム実行がシーケンシャルに行なわれていることを示す。DBGnの上位ビットにはPCS(PCヒストリステータス信号)がCPUからマイクロコンピュータアナライザに出力されている。PCS以外のビットには、PCHAL情報がCPUからマイクロコンピュータアナライザに出力される。

【0065】(2-B1)ブランチPCトレース

(1):ブランチ命令(条件分岐命令)実行時に、ブランチテイクンまたはブランチノットテイクンにかかわらず、また、絶対分岐命令実行時に、PCHA情報をCPUからマイクロコンピュータアナライザに出力する。

【0066】ここで、ブランチPCトレースは、限られたDBG信号でPCトレースを得るための手法として定義する。ここで、図8を参照して、この実施の形態例におけるブランチPCトレースの原理について簡単に説明する。

*

ブランチPCトレース時のPCS情報

PCS	定 義
PCS3	(PCS3,2) 10: PCHA情報の有効な転送開始を示す (割込み以外によるブランチ出力)
PCS2	11: PCHA情報の有効な転送開始を示す (割込みによるブランチ出力) 00: PCHA情報の無効な転送 01: AUX
PCS1	<~32ビットアドレスマイコン> 引き続きPCHA情報が8ビット×k (kはPCS1, PCS0で示されるバイナリ値)で あることを示す。
PCS0	<64ビットアドレスマイコン> 別途定義する。

【0073】尚、表7におけるPCS1とPCS0とについて、ブランチPCトレース出力は、前回出力されたブランチPC値と不一致のビット以下のアドレスを出力

18

*【0067】解析開始点以降に、絶対分岐ではない3つの条件分岐BCC, BNE, BLEが存在している。この場合、これら3つの条件分岐では、レジスタの内容によって分岐するかが決定される。従って、どの条件分岐において実際に分岐(ブランチ)したのが簡単には判断できない。そこで、これら3つの条件分岐の全てにおいて、条件分岐の際に条件成立(ブランチテイクン)時にも条件不成立(ブランチノットテイクン)時にも、PC値をマイクロコンピュータアナライザ側に出力するように構成しておく。そして、実際の分岐先である①においてもPC値を出力する。

【0068】このように、条件分岐の全てにおいてPC値を出力することで、解析開始点からブランチPCアドレス出力だけでプログラムの動きをトレースして理解することができ、どの命令で分岐したかという分岐元を判断することが可能になる。

【0069】従って、ソースプログラムの構文解析によって前後関係から分岐元を判断する作業が不要になる。また、ソースプログラムが存在しない場合にも、条件分岐を正確に解析することが可能になる。

【0070】以下、図9のタイムチャートを参照して、ブランチPCトレースの動作について以下の①~⑥に従って説明する。

①DBGnのビット幅には、以下のオプションの設定を設ける。

【0071】・2ビット, 4ビット, 8ビット

②標準として、4ビットのDBGnに定義する。

③PCHSアサート時には、DBGnの上位ビットにはPCS(PCヒストリステータス信号)がCPUからマイクロコンピュータアナライザに出力される。PCSは標準を4ビットに定義する。以下、このPCSについて、表7として定義を示す。

【0072】

【表7】

する短縮出力モードが定義されている。この短縮出力モードについて図10(a)において、従来のモード(図10(b))と共に示す。すなわち、最初のブランチP

50

(11)

19

C値が10000で二番目のブランチPC値が10010である場合には、短縮出力モード時には、二番目のブランチPC値として下位の10のみを出力する。従って、従来の32ビットフル出力と比較すると、変化したPC値に応じて、PC値(PCHA信号)は2, 4, 8ビットと変化する。

【0074】上の表7において、PCS1, PCS0 = 11以外は、その短縮出力モードでのPC出力であることを示し、このビットで示されるアドレス長だけブランチPCトレース値として出力される。

【0075】PCS以外のビットには、ローアドレス情報であるPCHA(LL)がCPUからマイクロコンピュータアナライザに出力される。ブランチPCトレース情報が出力されない状態(無効サンプル状態)は、PCHSアサート、PCS3 = 0で示される。新たなブランチPCトレース出力時には、PCS = 1でブランチPCトレースの出力が開始される。DBG幅が2ビットのとき、PCHSは2サイクル続けてアサートされ、双方のサイクルにPCSが順に出力されることを示す。すなわち、PCS0, PCS1が第1サイクルで出力される。

【0076】④PCHSネゲート時は、先行するPCHSアサートから始まるブランチPC情報の出力サイクル中であることを示す。PCHAには、ブランチPCトレース情報が出力される。

【0077】⑤PCHAは、低位アドレス側が出力される。

⑥PCHA出力中に発生する新たなブランチPCトレース要求に対しては、出力中のブランチPC情報が出力終了になるまでターゲットCPUを一時ストールする。先行するブランチPC情報の出力後、新たなブランチPC情報が引き続いて出力される。

【0078】この①~⑥に示すように、変化したブランチPC値以下の部分のみをPCHA信号として送出するようにしたことで、最低限の場合には、PCHA信号: 2本, PCHS信号: 4本, PCHCLK: 1本となるので、6本の信号線と1本のクロック信号線で済むようになる。従って、表5にも示したように、小さなDBG幅でPCトレースが得られるという利点を有する。

【0079】(2-B)ブランチPCトレース(データ解析): 上述の分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際にデータ情報を出力する。

【0080】すなわち、上記の表7において、PCS3, PCS2 = 01をAUX(外部モード)として定めており、この状態のときにブランチPCトレースの外部モードとしてのデータ解析モードが起動される。

【0081】ここで、ブランチPCトレースの外部モードとしてのデータ解析モードは、限られたDBG信号でデータトレースを得るための手法として定義する。ここで、図11を参照して、この実施の形態例におけるデー

20

タ解析の原理について簡単に説明する。

【0082】図11はデータ解析モードに関する部分を図1より抽出して詳細を示した主要部構成図である。この図11において、イベント検出データ解析部13は、イベント検出部13Aとトレース用データラッチ13Bとから構成されている。

【0083】そして、イベント検出器13Aは、アドレスバスを参照することで、予め検出対象として定められたイベントの発生をアドレスにより検出するものである。また、トレース用データラッチ13Bは、イベント検出器13Aの検出結果を受けて、イベント発生の際のデータバス上のデータ情報をラッチして、このデータ情報をトレース部12に対して供給するものである。また、トレース部12は、アドレス値を出力する分岐PCトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されている。

【0084】尚、イベント検出データ解析部13としては、ここに示した構成に限ることなく、同等な機能(イベント検出とデータ解析)を有するものであればよい。このような構成におけるデータ解析の動作を図12のフローチャートを参照して説明する。

【0085】まず、イベント検出器13Aに検出対象となるイベントが発生するアドレス(データアクセスアドレス)を指定する(図12S1)。そして、データ解析モードが指定された時点で、イベント検出器13Aは検出対象となるイベントが発生するアドレスへのアクセスをアドレスバスを参照して監視する(図12S2, S3)。指定されたアドレスへのアクセスを検出した場合には、イベント検出結果をトレース用データラッチ13Bに供給する(図12S3)。

【0086】イベント検出結果を受けたトレース用データラッチ13Bは、その際のデータバス上のデータをサンプリングし(図12S4)、サンプリングしたデータをデータ情報としてトレース部12に供給する。トレース部12はデータ情報をDBG上に時分割で所定の形式で出力する(図12S5)。

【0087】尚、この場合のトレース部12からのデータ出力フォーマットを図13に示す。この場合のデータヒストリフォーマットは、図9ブランチPCトレースの場合に準じたものとする。

【0088】このように、分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことにより、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能になる。

【0089】尚、図11を参照した上述の説明では、単一のイベント検出を行う場合であったが、イベント検出器13Aとトレース用データラッチ13Bとを複数組設

(12)

21

けることで複数のイベントを検出することが可能になる。

【0090】例えば、2組のイベント検出器（No. 1, No. 2）を用いてデータ解析を行う場合のPCS情報として、表8に示すように、PCS1とPCS0と*

データ解析時のPCS情報

22

*によってイベント検出器の区別を行うことも可能である。

【0091】

【表8】

PCS	定義		
PCS3	01: IDB上のイベント検出器の一致による転送開始を示す		
PCS2			
PCS1	PCS1	PCS0	
	0	0	イベント検出器NO.1検出による転送の開始
	0	1	イベント検出器NO.2検出による転送の開始
PCS0	1	0	AUX
	1	1	AUX

【0092】また、イベント検出器13A内にアクセスされたバイトのデータ（20※）がサンプルされるようにするこ

バイト判定器を設けておき、表9に示すイベント設定内

容の一致条件で、トレース用データラッチ13Bの当該

バイトだけのデータ（アドレス及び表9のSIZEで指定※

アクセスバイトとデータ出力表

SIZE2	SIZE1	SIZE0	データサンプル数	DBGよりの出力バイト数
0	0	0	1バイト(8ビット)	1バイト(8ビット)
0	0	1	2バイト(16ビット)	2バイト(16ビット)
0	1	0	4バイト(32ビット)	4バイト(32ビット)
0	1	1	AUX	AUX
1	0	0	0バイト *3	0バイト *3
1	1	1	CPU側からアクセスされた当該バイト *1	nバイト *2

*1: ターゲットCPUがアクセスした当該バイトのデータだけが更新される。
非当該バイトデータは不定値が入る。

*2: *1で更新(サンプル)されたバイトを含む当該マイコンの最大バス幅分のデータが出力される。
例) 32ビットマイコン→4バイト
16ビットマイコン→2バイト
8ビットマイコン→1バイト

*3: PCS情報だけがDBG信号線に出力され、データ出力は行われない。

【0094】また、「PC (プログラムカウンタ)」, 40 ように規定することも可能である。

「データ空間」を対象とするイベント検出器のイベント

【0095】

アドレス空間の設定条件により、DBG出力上に得られ

【表10】

るトレース情報（ヒストリトレースデータ）を表10の

イベントアドレス指定	ヒストリトレースデータ
データ空間	アドレス：ドントケア・アドレス情報 (*1) データ：表9、図12に示すDBGよりの出力バイト数
PC空間	表9に示すSIZ:100のフォーマット

*1) イベント検出器に対してアドレス・パターン設定が行われている場合に、ドントケア指定されている部分のアドレス情報のみを出力

【0096】ここで、イベント検出器No. 1にアドレス下位4ビット・ドントケアのアドレスパターン設定とし、データサンプル数設定を2バイト (SIZ<2:0>=(0, 0, 1))とした場合での、データヒストリ出力の例を図14に示す。尚、ここにおいて、PCS<3:2>=(0, 1)はデータ解析モードでのイベント検出におけるデータヒストリ出力であることを示し、PCS<1:0>=(0, 0)はイベント検出器番号No. 1を示している。

【0097】以上のようなイベント一致検出時のヒストリデータ出力の起動を、以下のアルゴリズムのもとで行うようにする。

- ・イベントヒット時に出力中のPCヒストリ情報が出力終了した時点で、最優先でイベントヒット要因のヒストリ出力が行われる。

- ・イベントヒット要因により、ヒストリ出力中に発生する新PC情報(ブランチPC情報)は、PC情報出力中の新PC情報発生時と同様に、先出し情報の出力完結優先のため、出力されない。

判定

(3) 実施の形態により得られる効果：以上詳細に説明したように、上述の実施の形態例によれば、以下のような効果が得られる。

【0098】①複数の条件分岐の全てにおいて、条件分岐の際に条件成立(ブランチテイクン)時にも条件不成立(ブランチノットテイクン)時にも、PC値をマイクロコンピュータアナライザ側に出力するように構成しておくことで、レジスタの内容によって分岐するか否かが決定される条件分岐が複数個存在している場合にも、プログラムの動きをトレースして理解することができ、どの命令で分岐したかという分岐元を判断することが可能になる。従って、ソースプログラムの構文解析によって前後関係から分岐元を判断する作業が不要になる。また、ソースプログラムが存在しない場合にも、条件分岐を正確に解析することが可能になる。

【0099】②PC値を出力する場合に、変化したブランチPC値以下の部分のみをPCHA信号として送出するようにしたことで、小さなDBG幅でPCトレースが得られるようになる。

【0100】③ターゲット装置内のMPUを含む組み込みチップ(エンベデッドチップ)内に、マイクロコンピュータアナライザの機能の一部を実行するデバッグユニットを設けているので、従来ターゲット装置とマイクロコンピュータアナライザ間でデータのやりとりを行なう際に用いていたバッファ等が不要となり、その分取り扱えるデータ速度を速くすることができる。

【0101】④そして、分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことにより、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能になる。

【0102】

【発明の効果】以上、詳細に説明したように、第1の発明においては、分岐PCトレースモードの外部モードとして、予め検出対象として定めたイベントが発生した際のデータ情報を出力するデータ解析モードを備えたことにより、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供することができる。

【0103】また、第2の発明においては、トレース手段が、アドレス値を出力する分岐PCトレースモードと、イベント発生時にデータ情報を出力するデータ解析モードとを切り替えることが可能に構成されているため、専用の信号ピンを増加させずにPCトレースモード実行中にデータ解析モードを実行することが可能なマイクロコンピュータアナライザを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態例のマイクロコンピュータアナライザの構成を示すブロック図である。

【図2】トレースPCモードの出力タイミングを示すタイムチャートである。

【図3】トレースPCモードの出力タイミングを示すタイムチャートである。

【図4】トレースPCモードの出力タイミングを示すタイムチャートである。

【図5】トレースPCモードの出力タイミングを示す

(14)

25

タイムチャートである。

【図6】 フルトレースPCモードの出力タイミングを示すタイムチャートである。

【図7】 フルトレースPCモードの出力タイミングを示すタイムチャートである。

【図8】 ブランチトレースPCモードの原理的動作を示す説明図である。

【図9】 ブランチトレースPCモードの出力タイミングを示すタイムチャートである。

【図10】 ブランチトレースPCモードの出力例を示す説明図である。

【図11】 データ解析モードに関する部分の詳細を示した主要部構成図である。

【図12】 データ解析モードの処理手順を示すフローチャートである。

【図13】 データ解析モードの出力フォーマットと出力タイミングを示すタイムチャートである。

【図14】 データ解析モードの出力フォーマットと出力タイミングについて、イベント発生具体例と共に示すタイムチャートである。

【符号の説明】

26

- 1 MPUコア
- 2 キャッシュ
- 2 a ブレークメモリ
- 3 外部バスコントローラ
- 4 バス
- 5 入出力装置
- 6 RAM
- 7 フラッシュメモリ
- 8 ブレークメモリ
- 9 ブレークポイント端子
- 10 組み込みチップ
- 11 外部インタフェースピン
- 12 トレース部
- 13 イベント検出データ解析部
- 14 シリアルモニタアクセス部
- 15 ノンブレークデバッグ部
- 16 セレクタ
- 21 セレクタ
- 22 トレースメモリ
- 23 モニタメモリ
- 24 ノンブレークデバッグコントローラ

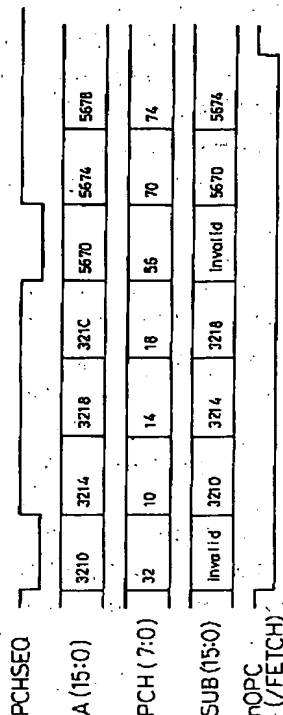
【図3】

【図4】

【図5】

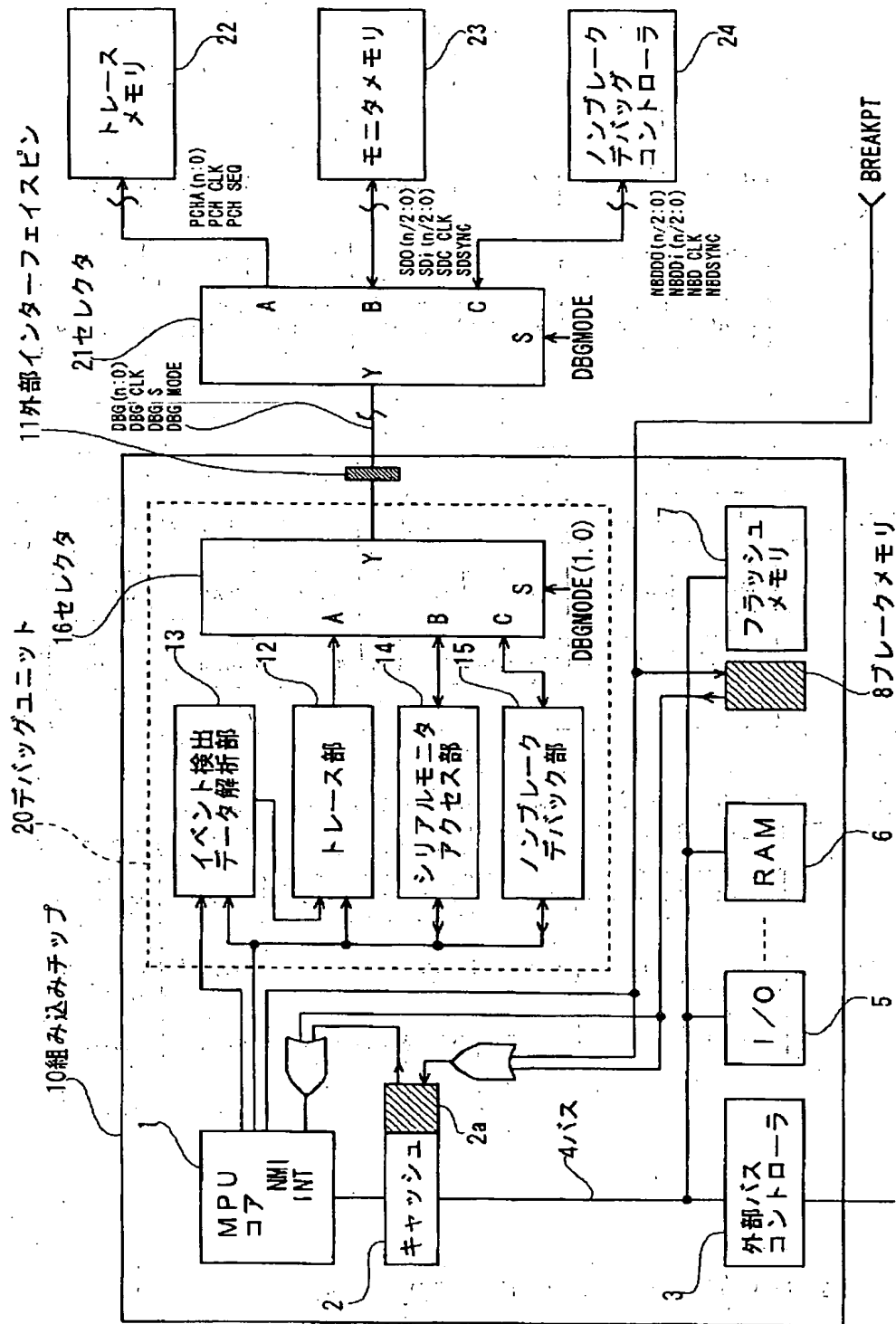
【図8】

トレースPCモードの出力タイミング トレースPCモードの出力タイミング トレースPCモードの出力タイミング



(15)

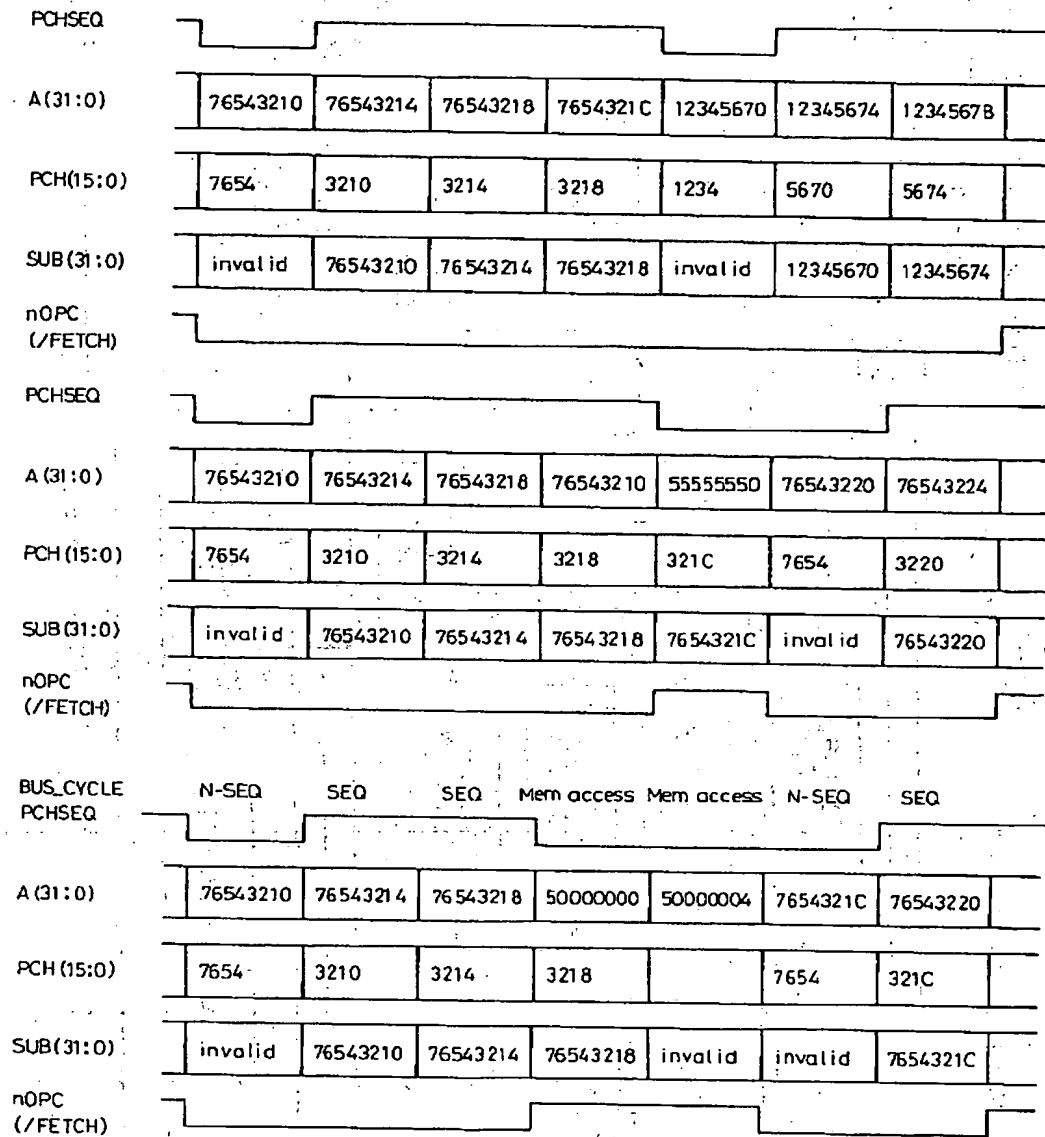
【図1】



(16)

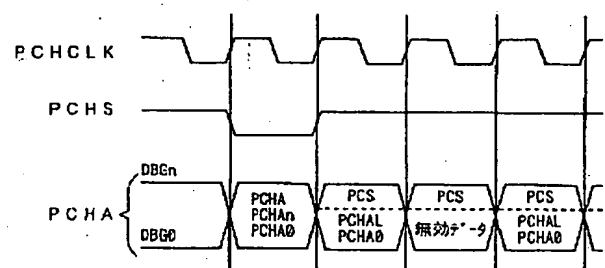
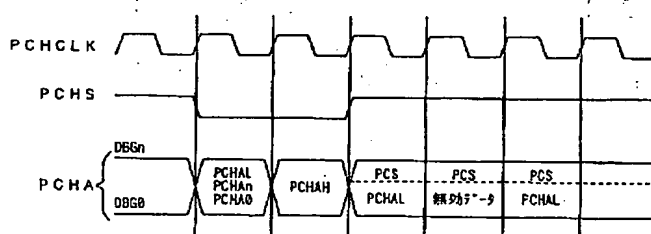
【図2】

トレースPCモードの出カタイミング



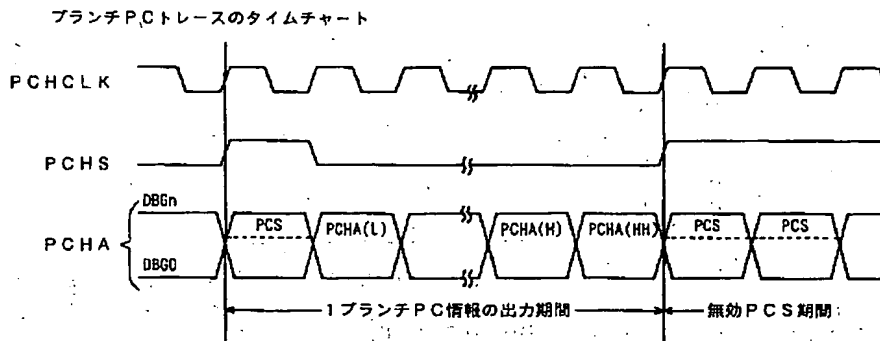
【図6】

【図7】

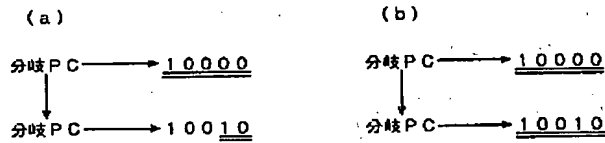


(17)

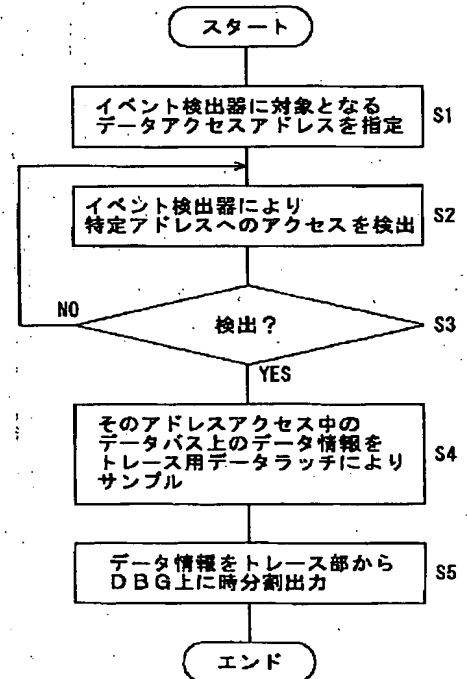
【図9】



【図10】

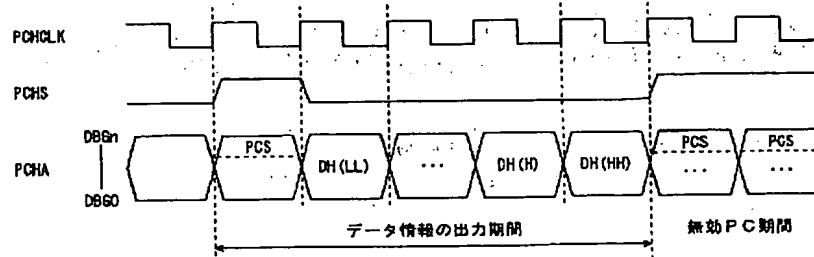


【図12】



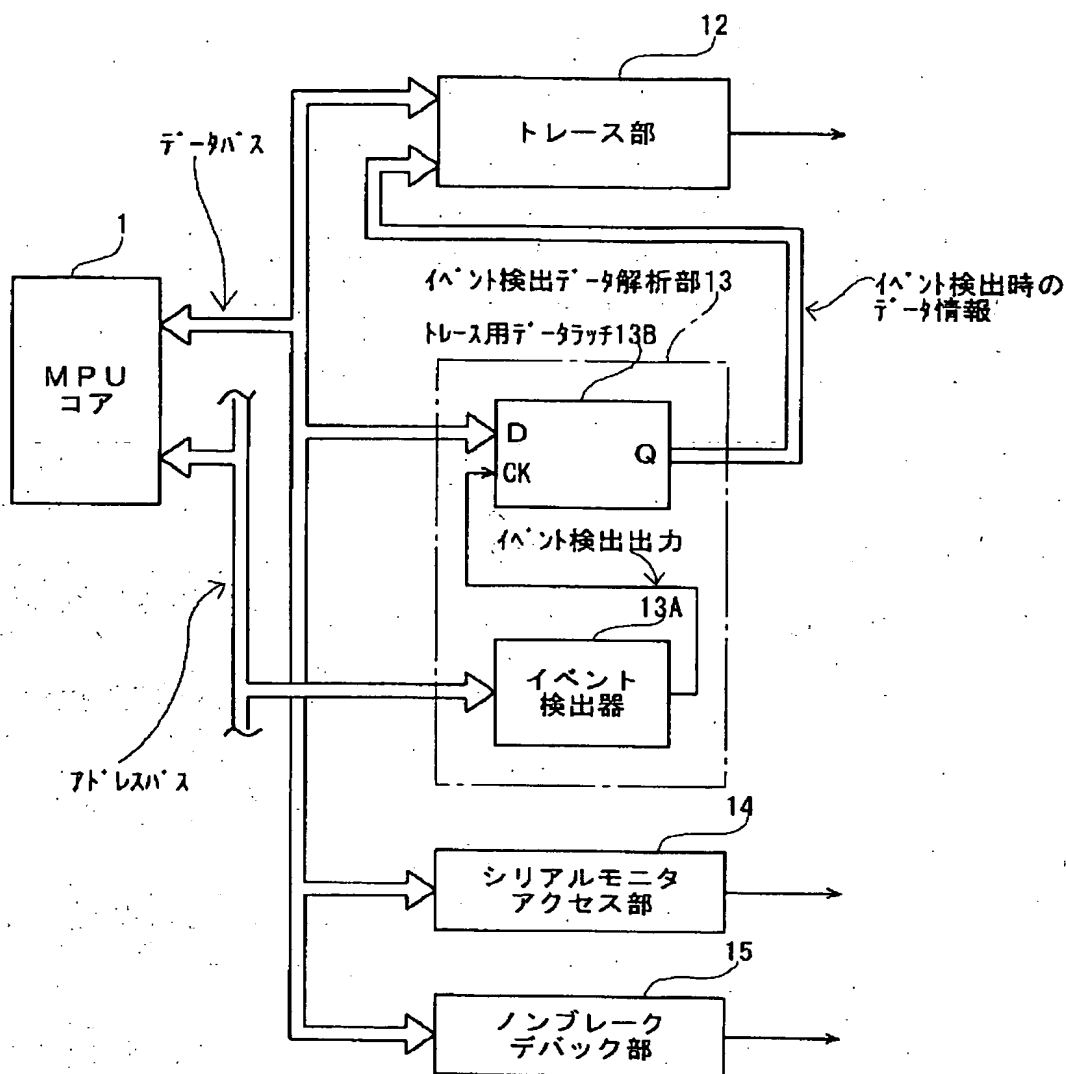
【図13】

イベント検出データの出力フォーマット



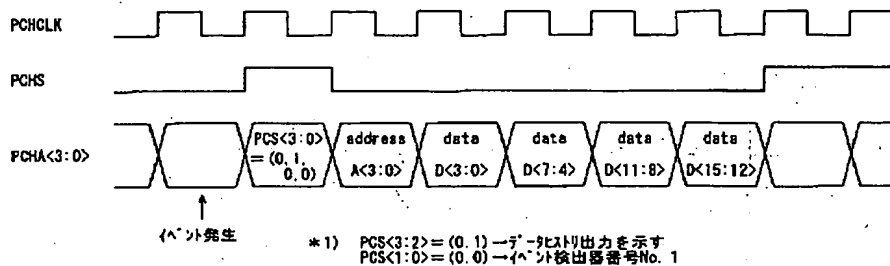
(18)

【図11】



【図14】

イベント検出時の出力フォーマット例



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.